

48P2344

51

B2

Int. Cl. 2:

H 04 Q 3/42

19 BUNDESREPUBLIK DEUTSCHLAND

G 06 F 7/00

G 06 F 9/00

H 03 K 19/00

H 04 L 11/00

DEUTSCHES PATENTAMT



DE 29 08 316 A 1

11

Offenlegungsschrift 29 08 316

21

Aktenzeichen:

P 29 08 316.7-31

22

Anmeldetag:

3. 3. 79

43

Offenlegungstag:

6. 9. 79

30

Unionspriorität:

32 33 31

3. 3. 78 Italien 67447 A-78

54

Bezeichnung:

Multikonfigurierbares modulares Verarbeitungssystem, das mit einem Vorverarbeitungssystem integriert ist

71

Anmelder:

CSELT-Centro Studi e Laboratori Telecomunicazioni S.p.A.,
Turin (Italien)

74

Vertreter:

Lorenz, W., Dipl.-Phys.;
Riederer, A. Frhr. v. Paar zu Schönau, Dipl.-Ing.; Pat.-Anwälte,
8035 Gauting

72

Erfinder:

Cedolin, Riccardo; Chiarottino, Wolmer; Giandonato, Giuseppe;
Giorcelli, Silvano; Martinengo, Giorgio; Sofi, Giorgio; Villone, Sergio;
Turin (Italien)

Prüfungsantrag gem. § 28 b PatG ist gestellt

DE 29 08 316 A 1

Lorenz & Riederer
Patentanwälte

NACHGERICHT

S 1-54

Lorenz & Riederer, Postfach 1320, D-8035 Gauting 2

Dipl.-Phys. Willy Lorenz

Dipl.-Ing. Anton Frhr. Riederer von Paar

Kanzlei: Hubertusstraße 83 1/2
D-8035 Gauting 2

Telekopierer X 400

* BREVET

☎ München (0 89) 8 50 60 36 *

Telex 5 21 707 lore d

2908316

CSELT
Centro Studi e Laboratori
Telecomunicazioni S.p.A.
Turin, Italien

2. März 1979

Unsere Akte: c 94-j, DE

Patentansprüche

① Multikonfigurierbares modulares Verarbeitungssystem, das mit einem Vorverarbeitungssystem integriert ist, dadurch gekennzeichnet, daß es aus einer beschränkten Anzahl von Typen elementarer Moduln (I,M,CPU,MEI,MAC,MB,IOP) besteht, die für jeweilige Funktionen spezialisiert sind und jeweils so optimiert sind, daß sie in sowohl hinsichtlich der Zahl der elementaren Komponenten als auch hinsichtlich ihrer Organisation in Funktion von der geforderten Zuverlässigkeit, Verarbeitungsleistung und Speicherkapazität unterschiedlich konfigurierbaren Verarbeitungsaufbauten zusammenschließbar sind und von denen ein als Verarbeitungseinheit dienender Modul (CPU) durch nur einen weiteren identischen Modul intern duplizierbar ist, und daß in jedem der als Verarbeitungseinheit dienenden Moduln Einrichtungen (MMP, RMI,CTR,MXB,SEQ) enthalten sind, die außer der normalen Verarbeitung in Realzeit die Vorverarbeitung der Signale durchführen.

2. Verarbeitungssystem nach Anspruch 1, dadurch gekennzeichnet, daß die innere Duplikation der als Verarbeitungseinheit dienenden Moduln (CPU) durch Verbindung zweier identischer derartiger Moduln (CPU) über eine asynchrone Sammelleitung (b) zu einem

/2

909836/0833

"inneren Modulpaar" verwirklicht ist, das mit asynchronen externen Vorrichtungen schnittstellenmäßig verbunden werden kann, wobei eine Einrichtung (27,28,CF1,tc,BT1,01) den Synchronismus der beiden Moduleinheiten des inneren Modulpaars aufrechterhält und/oder wiederherstellt und eine weitere Einrichtung (CF2,CF3,CF4) während jedes Mikrobefehlszyklus eine Selbstdiagnose zwischen den Moduleinheiten des inneren Modulpaars ausführt.

3. Verarbeitungssystem nach Anspruch 1 oder 2, das in einem Verarbeitungsaufbau der Multiprozessorart, bei dem eine oder mehrere Verarbeitungseinheiten über physikalisch voneinander unabhängige Wege mit einer oder mehreren gemeinsamen Speicherbanken verbunden ist bzw. sind, organisiert ist, dadurch gekennzeichnet, daß diese Wege aus einem Netzwerk von Sammelleitungen (C) bestehen, das mit den Verarbeitungseinheiten (UP) mit Hilfe ebensovieler elementarer Moduln (MEI) verbunden ist, die als Sammelleitungs-Expander-Moduln spezialisiert sind, als Verarbeitungseinheiten (UP) vorhanden sind, und das mit den gemeinsamen Speicherbanken (BM) mit Hilfe ebensovieler elementarer Moduln (MAC) verbunden ist, die als Eingangs- und Entscheidungs-Moduln spezialisiert sind, als Banken des gemeinsamen Speichers (BM) vorhanden sind.

4. Verarbeitungssystem nach Anspruch 3, dadurch gekennzeichnet, daß das Netzwerk der Sammelleitungen (C), die Sammelleitungs-Expander-Moduln (MEI) und die der Entscheidung dienenden Moduln (MAC) so zusammenwirken, daß sie die auf den Speicher-Sammelleitungen (l1,l2,lk) der Banken (BM1,BM2,...,BMK) des gemeinsamen Speichers liegenden Signale an die gleichen Vorgänge der entsprechenden auf den asynchronen Sammelleitungen (b1,b2,...,bn) der Verarbeitungseinheiten (UP1,UP2,...,UPn) liegenden Signaleketten, wodurch die Verwendung identischer Speicher sowohl an den Speicher-Sammelleitungen (l) als auch an den asynchronen Sammelleitungen (b) möglich ist.

5. Verarbeitungssystem nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der als Verarbeitungseinheit dienende Modul (CPU) eine Rückformungseinheit (RIC) enthält, die grundsätzlich mit einem Register (RS) und einem Multiplexer (MXC), die zu diesem Modul (CPU) gehören, so zusammenarbeitet, daß sie dynamisch auf der Basis der verschiedenen operativen Funktionen (Lesen, Schreiben, Befehlswiederherstellung usw.) rechtzeitig die Übereinstimmung zwischen der Adresse der Speicherstelle des gemeinsamen Speichers (BM) und der Bank (BM1, BM2, ..., BMk), in der sie angeordnet ist, herstellen, wobei diese Übereinstimmung durch Verwendung des niedrigstwertigen Teils (τ_1) dieser Adresse zum Wählen einer Speicherstelle dieser Rückformungseinheit (RIC) erzielt wird, in der der Identifizierer einer der Speicherbanken (BM1, BM2, ..., BMk) enthalten ist, der in Funktion sowohl von eventuell auftretenden Fehlern als auch von speziellen operativen Anforderungen dynamisch modifizierbar ist.

6. Verarbeitungssystem nach Anspruch 3 oder 4 und ggfs. noch nach Anspruch 5, dadurch gekennzeichnet, daß ein "Unterbrechungs-Netzwerk" für den Austausch von Information zwischen den Verarbeitungseinheiten (UP1, UP2, ..., UPn) die selben physikalischen Wege des Netzwerks der Sammelleitungen (c) verwendet, wobei die Informationsaustausche durch "Reflexion" an einem oder einer Mehrzahl der Entscheidungs-Moduln (MAC) des Unterbrechungssignals erfolgt, das von irgendeiner der Verarbeitungseinheiten (UP1, UP2, ..., UPn) erzeugt und an alle Verarbeitungseinheiten abgegeben wird.

7. Verarbeitungssystem nach Anspruch 1 oder 2, das in einem Verarbeitungsaufbau der Art "dupliziert mit Parallelismus-Überprüfung" organisiert ist, mit zwei miteinander verbundenen Verarbeitungseinheiten, dadurch gekennzeichnet, daß die Verbindung über zwei elementaren Modulen (IOP), die als parallele Schnittstellenschaltungs-Moduln spezialisiert sind, verläuft, von denen jeder an eine der beiden Verarbeitungseinheiten (U1, U2) angeschlossen ist; und daß zum Bewirken des Datenaustauschs zwi-

schen den beiden Verarbeitungseinheiten (U1,U2) der einzelne parallele Schnittstellenschaltungs-Modul (IOP) eine Einrichtung zum Konditionieren der Rücksendung eines Signals "Operation bewirkt" (rpl) zum sendenden Verarbeitungseinheit-Modul (CPU), wobei die Bedingung die Anwesenheit eines Signals (dr_t) ist, das die tatsächliche Aneignung der Daten selbst durch die Empfangsseite des Verarbeitungseinheit-Moduls (CPU) bedeutet, und zum Konditionieren des Sendens des Signals "Operation bewirkt" an die empfangende Verarbeitungseinheit, wobei die Bedingung die Anwesenheit eines Signals (dp_r) ist, das die tatsächliche Übertragung der Daten durch die Sendeseite des Verarbeitungseinheit-Moduls (CPU) bedeutet, enthält.

8. Verarbeitungssystem nach Anspruch 2 und ggfs. nach einem der Ansprüche 3 bis 7, dadurch gekennzeichnet, daß die Einrichtung (27,28,CF1,tc,BT1,O1) zum Erhalten oder Wiederherstellen des Synchronismus zwischen den beiden Verarbeitungseinheit-Moduln (CPU) des inneren Modulpaars so koordiniert sind, daß sie für sämtliche Schaltungen des Verarbeitungseinheit-Moduls mit Ausnahme von Synchronismus-Registern (RSY) den Zeittakt (T) des elementaren Operationszyklus der Verarbeitungseinheit-Moduln des Modulpaars dupliziert, wenn das gleiche von den beiden das innere Paar bildenden Moduln kommende an der asynchronen Sammelleitung (b) liegende Signal bei unterschiedlichen booleschen Pegeln abgetastet worden ist.

9. Verarbeitungssystem nach Anspruch 2 und ggfs. nach einem der Ansprüche 3 bis 8, dadurch gekennzeichnet, daß die bei jedem Mikrobefehlzyklus die Selbstdiagnose ausführende Einrichtung (CF2,CF3,CF4) aus die Information, die jeder Verarbeitungseinheit-Modul (CPU) auf die asynchrone Leitung (b) sendet, mit der gleichzeitig auf der selben Leitung (b) vorhandenen Information vergleichenden Komparatoren besteht.

10. Verarbeitungssystem nach Anspruch 3, dadurch gekennzeichnet, daß jeder der Sammelleitungs-Expander-Moduln (MEI) aus folgenden Einzelschaltungen besteht:

/5

- aus ebensovielen Sender-Empfängern (DR1,...,DRk), als in beiden Richtungen wirksame Sammelleitungen (Cn1,...,Cnk) diese Sammelleitungs-Expander-Moduln mit den Speicherbanken (BM1,...,BMk) verbinden, wobei die Sender-Empfänger jeweils eine der Leitungen (Cn1,...,Cnk) sowohl beim Empfang als auch beim Senden steuern;
- aus einem ersten Register (BB1), das gleichzeitig auf der asynchronen Leitung (b) liegende Daten und Adressen speichert und sie gleichzeitig an alle Sender-Empfänger (DR1,...,DRk) überträgt, und umgekehrt;
- aus einem ersten Verknüpfungs-Schaltnetz (LSI), das über die asynchrone Leitung (b) Befehle vom Verarbeitungseinheit-Modul (CPU) oder vom inneren Modulpaar, der bzw. das mit der selben asynchronen Leitung (b) verbunden ist, empfängt und sie wiederum an alle Sender-Empfänger (DR1,...,DRk) abgibt;
- aus einem Decoder (DC), der auf der Basis des Decodierens eines auf der asynchronen Leitung (b) vorhandenen Signals die Identität des an diesem Signal beteiligten Sender-Empfängers entnimmt und diesem einen Operationsbefehl sendet;
- aus einer Schaltung (IT) zum Senden von "Unterbrechungssignalen" (Interrupt) an die Sender-Empfänger (DR1,...,DRk) auf der Grundlage entsprechender Befehle, die sie von der asynchronen Leitung (b) empfängt;
- aus einer ersten, die Unterbrechungssignale, die von den Sender-Empfängern (DR1,...,DRk) kommen und sich auf eine Anforderung nach einem Dialog zwischen einem beliebigen Paar der Verarbeitungseinheit-Moduln (CPU) oder Modulpaaren beziehen, empfangenden Schaltung (IR1);
- aus einer zweiten, die Unterbrechungssignale, die von den Sender-Empfängern (DR1,...,DRk) kommen und sich auf eine Fehlfunktion einer der Speicherbanken (BM) beziehen, empfangenden Schaltung (IR2); und
- aus einem zweiten Verknüpfungs-Schaltnetz (RM), das mit der ersten (IR1) und der zweiten (IR2) die Unterbrechungssignale empfangenden Schaltung verbunden ist und als inkorrekt er-

kannte Unterbrechungssignale aufgrund eines entsprechenden über die asynchrone Leitung (b) vom mit der Leitung verbundenen Verarbeitungseinheit-Modul (CPU) oder inneren Modulpaar kommenden Befehls die Unterbrechungssignale maskiert.

11. Verarbeitungssystem nach Anspruch 3 oder 10, dadurch gekennzeichnet, daß jeder der als Entscheidungsmoduln spezialisierten Moduln (MAC) aus folgenden Einzelschaltungen besteht:

- aus ebensovielen Sender-Empfängern ($\overline{DR1}, \dots, \overline{DRn}$), als in beiden Richtungen wirksame Sammelleitungen ($C1k, \dots, Cnk$) diese entscheidenden Moduln mit den Verarbeitungseinheiten ($UP1, \dots, UPn$) verbinden, wobei die Sender-Empfänger jeweils eine der in beiden Richtungen wirksamen Leitungen ($C1k, \dots, Cnk$) sowohl beim Empfang als auch beim Senden steuern;
- aus einer entscheidenden Schaltung (ARB), die die Anforderungen nach Zugriff zum Speicher entsprechend dem Kriterium, die vorliegenden Anforderungen in regelmäßigen Zeitabständen festzustellen und sie in Aufeinanderfolge zu senden, abtastet, wobei die Anforderungen nach Zugriff an die entscheidende Schaltung (ARB) über die Sender-Empfänger ($\overline{DR1}, \dots, \overline{DRn}$) gesendet werden;
- aus einem zweiten Register (BB2), das von den Sender-Empfängern ($\overline{DR1}, \dots, \overline{DRn}$), zu beliebiger Zeit von der entscheidenden Schaltung (ARB) ausgewählt, die an eine Sammelleitung (1) eines Speichers, mit dem es verbunden ist, zu übertragende Information empfängt, und umgekehrt;
- einem zweiten Verknüpfungs-Schaltnetz (LS2), das über eine der bidirektionellen Sammelleitungen ($C1k, \dots, Cnk$) die von einem der Verarbeitungseinheit-Moduln (CPU) oder inneren Modulpaaren, die zu dieser Verarbeitungseinheit ($UP1, \dots, UPn$) gehören, kommende Befehle empfängt und sie zur Sammelleitung (1) des Speichers sendet, und das außerdem eine umgekehrte Operation ausführt;

- aus einer Zeitschaltung (T0), die die gerade ablaufenden Operationen bezüglich jedes einzelnen Zugriffs zur Leitung (1) des Speichers zeitlich begrenzt und damit Blockierungen aufgrund von Ausfällen verhindert;
- aus einem Zeitgeber (BT2), der sämtliche für die Operation des entscheidenden Moduls (MAC) notwendigen Zeitsignale erzeugt.

12. Verarbeitungssystem nach Anspruch 2, dadurch gekennzeichnet, daß der Verarbeitungseinheit-Modul (CPU) Einrichtungen (MMP, RM1, 01) zum Sperren der die Befehle zur asynchronen Leitung (b) sendenden Schaltung (BD2) dann, wenn in einem der beiden elementaren Modulen (CPU) des inneren Modulpaars ein Fehler auftritt, enthält.

13. Verarbeitungssystem nach Anspruch 2, dadurch gekennzeichnet, daß in jeden elementaren Verarbeitungseinheit-Modul (CPU) der inneren Modulpaare am Eingang des Sequenzers (SEQ) sowohl das Signal, nach dem der nachfolgende Mikrobefehl gewählt wird, als auch das analoge von dem anderen Verarbeitungseinheit-Modul (CPU) des Modulpaars kommende Signal eingegeben werden.

14. Verarbeitungssystem nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß die Vorverarbeitung vollständig innerhalb des Verarbeitungseinheits-Moduls (CPU) über die Ausführung entsprechender in einem Mikroprogrammspeicher (MMP) gespeicherter Mikroprogramme mit einer entsprechenden vertikalen Datenorganisation hinsichtlich der Eingangsleitern, die eine parallele Datenverarbeitung ermöglicht, durchführbar ist.

CSELT
Centro Studi e Laboratori
Telecomunicazioni S.p.A.
Turin, Italien

Unsere Akte: c 94-j,DE

Multikonfigurierbares modulares Verarbeitungssystem, das mit
einem Vorverarbeitungssystem integriert ist

Die Erfindung bezieht sich auf ein multikonfigurierbares modulares Verarbeitungssystem nach dem Oberbegriff des Anspruchs 1, das insbesondere als mit einem Fernmelde-Vorverarbeitungssystem verbundenes elektronisches Verarbeitungssystem verwendbar ist.

Unter den Bedingungen der gegenwärtigen Technologie werden elektronische Verarbeitungssysteme auf vielen technischen Gebieten in zunehmender Breite angewandt. Diese Systeme können entsprechend den speziellen Anforderungen, die sie zu erfüllen haben, sehr unterschiedliche Charakteristiken haben. Bei der Wahl eines Verarbeitungssystems sind zunächst drei grundsätzliche Eigenschaften zu berücksichtigen:

- die Verarbeitungsleistung, also die Kapazität, eine bestimmte Menge von Daten innerhalb einer Zeiteinheit zu verarbeiten;
- die Speicherkapazität; und
- die Zuverlässigkeit, und zwar sowohl die Fähigkeit, einen Fehler zu erkennen, als auch die Selbstheilungsfähigkeit im Fall eines solchen Fehlers.

Für jede dieser drei beschriebenen Eigenschaften sind die bekannten Verarbeitungssysteme in der Regel starr dimensioniert oder können zumindest nicht leicht an vorgegebene Werte angepaßt werden. Außerdem sind sie so entworfen, daß sie in Ab-

hängigkeit von ihrer Dimensionierung in einem bevorzugten Aufbau wirksam werden, und können nicht diversifizierte Konfigurationen wie "Multiprozessor", "Multirechner", "Monorechner", "dupliziert mit Parallelismus-Überprüfung" usw. annehmen. Ein Verarbeitungssystem, das alle diese Anforderungen vollkommen zufriedenstellt, ist kommerziell nicht erhältlich. Es können nur Systeme mit Charakteristiken gewählt werden, die die Anforderungen annähern. Dies führt im allgemeinen entweder zur Verwendung von im Vergleich zu den tatsächlichen Anforderungen überdimensionierten Systemen oder gelegentlich zur Verwendung von Verarbeitungssystemen, denen entsprechend entworfene Logiken hinzugefügt sind.

Im ersteren dieser Fälle ergeben sich eine nutzloserweise schwerere Anordnung und höhere Kosten sowie eine höhere Fehlerwahrscheinlichkeit, die mit der erhöhten Systemkomplexität einhergeht; im letzteren Fall ist es notwendig, stets bei neuen Anforderungen sowohl das Verarbeitungssystem als auch die verschiedenen zusätzlichen Logiken zu ändern, was dann zu erhöhten Kosten führt.

Auf vielen technischen Gebieten, beispielsweise im Fernmeldewesen, stellt unter den speziellen Aufgaben der Verarbeitungssysteme die Daten-Vorverarbeitung die am meisten geforderte Verarbeitungsweise dar. Vorverarbeitungsprobleme ergeben sich stets dann, wenn außer einer Hauptverarbeitung eine Gruppe einfacher Operationen, die alle von gleich^{er} Art sind, oder eine Folge von sehr repetitiven Operationen mit niedrigem Entscheidungsgehalt an einer großen Zahl von Daten durchzuführen sind. Beispielsweise kann Vorverarbeitung bei der Feststellung der Signalübergänge von Fernsprechsignalen, insbesondere von Wählkennzeichen, angewandt werden. Solche Übergangsfeststellungen werden durch das Auftreten zahlreicher Spitzen und Rausch-Übergänge erschwert. Außerdem bildet in den meisten Fällen erst eine gegebene Anzahl elementarer Übergänge einen bedeutungsvollen Übergang für die Steuerung einer Fernsprechverbindung.

Bei den bekannten Systemen sind die Vorverarbeitungsprobleme im allgemeinen durch die Verwendung eines zusätzlichen Datenverarbeiters gelöst worden, der für diese Aufgabe spezialisiert ist und als "Vorverarbeiter", beispielsweise front- oder eingangseitiger Vorverarbeiter, Signal-Vorverarbeiter usw. bezeichnet wird und über eine geeignete Schnittstelle mit dem Hauptverarbeiter verbunden ist. Eine derartige Organisation bringt jedoch eine Anzahl von Nachteilen aufgrund der Verwendung zweier grundsätzlich unterschiedlicher Apparate mit sich, nämlich des Hauptverarbeiters und des Vorverarbeiters. Zunächst ergibt sich eine höhere Fehlerwahrscheinlichkeit, die durch die Verwendung spezieller Kommunikations-Schnittstellenschaltungen, die nach dem Gesichtspunkt der Zuverlässigkeit eine Verschlechterung darstellen, zwischen den beiden Apparaten noch schwerwiegender wird. Weiterhin sind die Aufrechterhaltungs- und Betriebskosten sehr hoch. In technischer Hinsicht ergeben sich erhebliche Schwierigkeiten für die Installationen und die Anlagen aufgrund der Notwendigkeit, von Natur aus unterschiedliche Systeme aneinander anzupassen, sowie Steuerschwierigkeiten aufgrund der Notwendigkeit, zwei unterschiedliche Überprüfungssysteme zu schaffen, eines für den Vorverarbeiter und eines für den Hauptverarbeiter.

Diese und andere Schwierigkeiten, deren Verständnis durch die spätere Beschreibung noch vertieft wird, werden durch die im Anspruch 1 gekennzeichnete Erfindung eines multikonfigurierbaren, modularen Verarbeitungssystems gelöst, das durch Verwendung einer begrenzten Anzahl von auf bestimmte Funktionen spezialisierten elementaren Modulen die Realisierung komplexer, vielgestaltiger, modularer Verarbeitungsstrukturen ermöglicht, die genau auf die speziellen Anforderungen an die Verarbeitungskapazität, die Speicherkapazität und die Zuverlässigkeit ausgelegt werden können und stets ein optimales Verhältnis der Kosten zur Leistungsfähigkeit erreichen.

Das erfindungsgemäße Verarbeitungssystem kann weiterhin zu einer Integration der Vorverarbeitungs- und der Steuervorgänge, mit folgenden Konsequenzen für das System führen:

- es ist aufgrund der durchgehenden erheblichen Schaltungs-Einfachheit zuverlässiger;
- es ist hinsichtlich Steuerungs-, Wartungs- und Installationsproblemen billiger;
- es kann von einem einzigen Überprüfungssystem kontrolliert werden;
- es ist auch aufgrund der Parallelisierung einiger Vorverarbeitungsoperationen durch ein besonderes, neues Vorgehen, das später beschrieben wird, sehr effizient.

Die Erfindung ist je nach zu errichtendem Systemaufbau mit der begrenzten Zahl von drei bis sieben Typen elementarer Moduln darstellbar, wobei sich jede der Verarbeitungseinheiten aufgrund der darin enthaltenen Schaltungen insbesondere zur Vorverarbeitung von Fernsprechsignalen in Realzeit eignet.

Weitere Einzelheiten, Vorteile und Weiterbildungen ergeben sich aus der folgenden Beschreibung bevorzugter Ausführungsbeispiele unter Bezugnahme auf die Zeichnung. Es zeigen:

Fig. 1 ein Beispiel eines "Multiprozessor"-Aufbaus des erfindungsgemäßen Verarbeitungssystems;

Fig.2a einen ins einzelne gehenden Schaltplan eines Moduls CPU in der Schaltung nach Fig. 1;

Fig.2b ein den Betrieb des Moduls CPU veranschaulichendes Zeitdiagramm;

Fig.2c den Verlauf einiger Signale beim Betrieb des Moduls CPU;

Fig. 3 einen ins einzelne gehenden Schaltplan eines Moduls MEI in der Schaltung nach Fig. 1;

- Fig. 4 einen ins einzelne gehenden Schaltplan eines Moduls MAC in der Schaltung nach Fig. 1;
- Fig. 5 ein Beispiel für einen "Monoprozessor"-Aufbau des Verarbeitungssystems;
- Fig. 6 ein Beispiel des Verarbeitungssystems als "Monoprozessor" mit getrenntem "Vorverarbeiter";
- Fig. 7 ein Beispiel des Verarbeitungssystems mit einem Aufbau "dupliziert mit Parallelismusüberprüfung";
- Fig. 8 ein Beispiel des Verarbeitungssystems mit einem Aufbau "dupliziert mit Parallelismusüberprüfung und getrennter Vorverarbeitung";
- Fig. 9 ein Beispiel des Verarbeitungssystems mit einem Aufbau als Multiprozessor mit getrennter Vorverarbeitung";
- Fig.10 ein Beispiel eines Aufbaus mit einer Mehrzahl hierarchischer Niveaus mit angrenzenden Einheiten;
- Fig.11 einen Aufbau mit einer Mehrzahl hierarchischer Niveaus mit entfernten Einheiten.

Wie erwähnt, sind die Hauptcharakteristiken des erfindungsgemäßen Verarbeitungssystems seine spezielle Modularität und seine Flexibilität, die durch Verwendung einer begrenzten Anzahl elementarer Moduln die Darstellung sowohl unterschiedlicher Aufbaue wie Multiprozessor, Multirechner, Monorechner usw. als auch die Anpassung der Charakteristiken der Verarbeitungs- und Speicherkapazität und der Zuverlässigkeit jedes der gewählten Aufbaue an die Erfordernisse ermöglicht.

Im folgenden werden zur klareren Beschreibung der Charakteristiken des Verarbeitungssystems einige der wichtigsten typischen Aufbauweisen oder Strukturen beschrieben, die das System durch Verwendung der elementaren Moduln, aus denen es zusammengesetzt ist, einzeln oder in mehrfacher Zuordnung annehmen kann.

Hierbei können die Moduln oder zumindest die wichtigsten unter ihnen vollständig durch Bezugnahme auf die speziellen Operationen, die sie durchzuführen haben, beschrieben werden.

Die Schaltung nach Fig. 1 umfaßt k Speicherbanken BM, nämlich BM1, BM2, ..., BM k , die einander gleichen und die folgenden drei Gruppen mit unterschiedlich gegebenen Funktionen zugeteilt werden können:

- primäre Speicherbanken die aus k_p Banken der vorhandenen k Banken bestehen;
- sekundären Speicherbanken, die aus k_s Banken der vorhandenen k Banken bestehen;
- Reservebanken, die aus k_r Banken der k vorhandenen Banken bestehen.

Hierbei gilt ersichtlich $k = k_p + k_s + k_r$. Die Zuordnung der einzelnen Speicherbanken zu einer der drei Gruppen ändert sich mit der Zeit entsprechend den Anforderungen des Verarbeitungssystems, wie noch beschrieben wird.

Jede der Speicherbanken besteht aus folgenden Einzelschaltungen:

- aus einem oder einer Anzahl von Speichermoduln M von an sich bekannter Art;
- aus einem Modul MAC, das ein Verknüpfungs-Schaltnetz mit Eingangs- und Entscheidungsfunktionen für die Befehle für Zugriff zur Speicherbank bildet und später im einzelnen unter Bezugnahme auf Fig. 4 beschrieben wird.

Zur Schaltung gehören weiterhin n einander gleichende Verarbeitungseinheiten UP, nämlich UP1, UP2, ..., UP n . Entsprechend der beschriebenen Einteilung der Speicherbanken BM kann jede der Verarbeitungseinheiten als "Primäreinheit" bzw. "Sekundäreinheit" eingeteilt werden. Diese Einteilung kann dynamisch in Realzeit durch ein Programm geändert werden; die Gründe hierfür werden später bei der Beschreibung der Arbeitsweise erläutert. Jede der Verarbeitungseinheiten UP besteht aus folgenden Einzelschaltungen:

/14

- aus einem oder einer Mehrzahl von Moduln I, die als Eingangs-Ausgangs-Schnittstellenschaltung dienen und deren Ausführung im einzelnen für den Fachmann nicht problematisch ist, so daß sie hier nicht beschrieben zu werden braucht;
- aus einer Mehrzahl von Moduln M der gleichen Art wie die Speicher-Moduln M in den Speicherbanken BM;
- aus einem Modul CPU, das in sich dupliziert sein kann, als Verarbeitungseinheit arbeitet und später im einzelnen unter Bezugnahme auf Fig. 2a beschrieben wird;
- aus einem Modul MEI, das ein Verknüpfungs-Schaltnetz darstellt und als Sammelleitungsvervielfacher dient und dessen Aufbau und Funktionen später im einzelnen unter Bezugnahme auf Fig. 3 beschrieben wird.

In der Schaltung nach Fig. 1 verbinden in zwei Richtungen wirksame Sammelleitungen C11, C12 ... C1k; C21, C22 ..., C2k; ..., Cn1, Cn2 ..., Cnk jede der n Verarbeitungseinheiten UP mit jeder der k Speicherbanken BM über drahtmäßig unabhängige Wege. Auf diese Weise kann zu jedem beliebigen Zeitpunkt eine Verbindung zwischen jedem der Moduln MEI und jedem der Moduln MAC hergestellt werden.

Wie schematisch in der Zeichnung dargestellt ist, sind innerhalb jeder der n Verarbeitungseinheiten UP die verschiedenen Moduln, nämlich I, M, CPU und MEI, in beiden Richtungen über interne Sammelleitungen b1, b2, ..., bn miteinander verbunden. Analog sind innerhalb jeder der k Speicherbanken BM die Moduln M und MAC in beiden Richtungen über interne Sammelleitungen l1, l2, ..., lk verbunden.

Ersichtlich werden Informationen und Nachrichten von den und zu den Verarbeitungseinheiten des Systems allgemein über die Schnittstellen-Moduln I übertragen. Was die Verbindung des Moduls CPU mit den anderen Moduln der Verarbeitungseinheit UP betrifft, kann CPU entweder einzeln oder auch in sich dupliziert sein. Fig. 2a zeigt den Schaltplan eines einzigen Elements

/15

eines möglichen Paares identischer Moduln CPU.

Es sei hierbei angenommen, daß Fig. 2a sich auf den Modul CPU in der Einheit UPn (Fig.1) bezieht, der an die Sammelleitung bn (Fig.1,2a,3) angeschlossen ist, welche Verbindungen 31, 32, 33, 39, 282 und 310 umfaßt. Fig. 2c zeigt außer weiteren, später noch beschriebenen Signalen die Funktion des Signals auf der Verbindung 31, wobei die in der Zeichnung eingetragenen Symbole folgende Bedeutung haben:

- TS = die der Schreiboperation zugeordnete Zeit;
- TL = die der Leseoperation zugeordnete Zeit;
- iS = die Zeit, während der die Adressenbits zum Schreiben gesendet werden;
- dS = die Zeit, während der die Datenbits zum Schreiben gesendet werden;
- iL = die Zeit, während der die Adressenbits zum Lesen gesendet werden;
- dL = die Zeit, während der die Datenbits zum Lesen gesendet werden.

Die Schaltung nach Fig. 2a enthält drei Paare von Treiber- oder Sender-Empfängern BR2, BD2; BR3, BD3; und BR4, BD4 von an sich bekannter Art, die die von den vor diesen Paaren geschalteten Schaltungen kommenden booleschen Pegel in von der Sammelleitung bn, die hinter diesen Paaren angeordnet ist, akzeptierbare boolesche Pegel verschiebt und umgekehrt.

Eine Zeitsteuereinrichtung BT1 von an sich bekannter Art besteht im wesentlichen aus einem Taktempfänger und aus einer einfachen Selbstprüfungsschaltung, die beide in der Zeichnung nicht dargestellt sind. Der Empfänger verteilt ein periodisches Signal t (Fig.2b), das er auf einem Leiter 214 von einem üblichen (nicht dargestellten) Taktgeber empfängt, wobei die Periode T des Signals t als die Zeitbasis des elementaren Betriebszyklus des Moduls CPU in dem Sinne anzusehen ist, daß während der Periode T einer der vielen vorgegebenen Mikrobefehle vollständig ausgeführt wird. Die Schaltung mit den Selbst-

Überprüfungseigenschaften kann den korrekten Betrieb der Zeitsteuereinrichtung BT1 sicherstellen und ist aufgrund an sich bekannter Techniken dargestellt. Sie kann beispielsweise im Grundsätzlichen aus einer monostabilen Schaltung der Art "Auf der Flanke wiedertriggerbar" bestehen, also mit der Möglichkeit eines erneuten Starts während der gesamten Dauer seines aktivierten Zustands. Das von dieser Schaltung mit den selbstüberprüfenden Eigenschaften erzeugte Signal wird über einen Leiter 216 zum ersten Eingang eines NOR-Glieds O1 geleitet.

Die Zeitsteuereinrichtung BT1 gibt weiterhin ein Signal t_c (Fig.2b) ab, das aus dem Signal t folgendermaßen erhalten wird: wird ein Signal 26 (Fig.2b) auf einem Leiter 26 (Fig.2a) am entsprechenden Eingang von BT1 durch Annehmen seines hohen Pegels aktiv, so wird der Signalverlauf von t_c im Vergleich zum Signal t dadurch abgewandelt, daß ihm diejenigen Übergänge entzogen werden, die sich auf die Periode beziehen, die derjenigen Periode, während derer das Signal am Leiter 26 aktiv geworden ist, folgt, wie in Fig. 2b veranschaulicht ist.

Gemäß Fig. 2b wird im Fall, daß das Signal 26 aktiv bleibt (gestrichelt eingezeichnet), das Signal t_c , das dann als t'_c bezeichnet wird, mit einer Periode von $2T$, also der doppelten Periode des Signals t , periodisch.

Am anderen Eingang des ODER-Glieds O1 liegt das Signal a an, dessen Erzeugung in einem später beschriebenen Register RMI jedesmal dann erfolgt, wenn im Modul CPU ein Fehler festgestellt wird, der in den Modul selbst oder seinen nicht dargestellten duplizierten Zwilling eingehen kann.

Die Ausgangsklemme des NOR-Glieds O1 ist über einen Leiter 215 mit der Ausgangsklemme eines dem Glied O1 analogen Glieds in der gekoppelten identischen Einheit, das in der Zeichnung nicht gezeigt ist, verbunden, desgleichen mit dem sperrenden Steuerungseingang des Treibers oder Senders BD2. Liegt am Leiter 215 der

niedrige Pegel, so wird BD2 gesperrt und werden folglich auch die Moduln CPU hinsichtlich aller möglichen Operationen auf der Sammelleitung bn angehalten.

Eine Recheneinheit ULAR von an sich bekannter Art, die mit internen Registern ausgestattet ist, führt boolesch-arithmetische Operationen an Operandenpaaren aus, die aus Wörtern aus 6 Bits bestehen. Die Operanden des Paares können sowohl in den inneren Registern von ULAR gespeicherte als auch von außen über eine Verbindung 217 empfangene Wörter sein. Die Angabe der Art des zu berücksichtigenden Paares und der an den Operanden des selben Paares durchzuführenden boolesch-arithmetischen Operationen liegt in codierter Form an einer Verbindung 21 vor, die ULAR mit dem später beschriebenen Register RMI verbindet. Am Ende jeder Periode T des von ULAR empfangenen Signals tc wird das Ergebnis der Operationen auf einer Verbindung 218, die an einen ersten Ausgang von ULAR anschließt, an drei Register RU, RA und RS abgegeben, in denen dieses Ergebnis entsprechend dem Vorhandensein oder Nichtvorhandensein eines vom Register RM1 kommenden Schreibbefehls W3, W4, W5 gespeichert wird. An einen zweiten Ausgang von ULAR ist eine Verbindung 211 angeschlossen, über die die Information über das erhaltene Ergebnis übertragen wird, die beispielsweise anzeigt, daß dieses Ergebnis den Wert 0 hat oder negativ ist.

Ein Festwertspeicher MMP von an sich bekannter Art speichert einen geordneten Satz von Mikrobefehlen, die die normalen Operationen des Moduls CPU realisieren, sowie einen geordneten Satz von Mikrobefehlen, die sich auf die Fernsprech-Vorverarbeitung beziehen und im besonderen die Befehle für das Vorgehen zur Parallelisierung der Vorverarbeitungsoperationen umfassen. Mit dem Ausgang des Festwertspeichers MMP ist das schon erwähnte konventionell aufgebaute Pufferregister RMI verbunden, das zu jedem Betriebszyklus T auf der Basis der Zeitsteuerung durch das Signal tc den Mikrobefehl speichert, dessen Ausführung im

Ablauf ist. Die verschiedenen Ausgangsklemmen des Registers RMI machen es für die Durchführung einer gleichen Anzahl von Teilen des Mikrobefehls geeignet, wie in der folgenden Beschreibung erläutert ist.

Ausgangsklemmen W1, W2, W3 und W4 führen geeignete jeweils gleichnamige Schreibbefehle, eine Ausgangsklemme S1 gibt einen codierten Befehl ab, der im folgenden beschrieben wird, und die Ausgangsklemme S2 führt ein Ansteuersignal zum Ansteuern der Sender BD3 und BD4, so, daß diese, wie noch gezeigt wird, die Daten und Adressen an die Verbindung 31 der Sammelschiene bn übergeben.

Das an einer Klemme a des Registers RMI auftretende Ausgangssignal führt einen booleschen Pegel, der durch das Mikroprogramm in MMP in Abhängigkeit von noch erläuterten Regeln aktiviert oder nicht aktiviert werden kann. Das Signal an der Ausgangsklemme a hat die Funktion, über das NOR-Glied O1 den Sender BD2 am Senden zu hindern.

Der mit der Verbindung 21 verbundene Ausgang von RMI führt den Code der elementaren Operationen zwischen den Registern, die die Einheit ULAR innerhalb des gerade ablaufenden Zyklus durchführen muß. Der an eine Verbindung 22 angeschlossene Ausgang von RMI führt die Befehle, Speicherelemente innerhalb eines booleschen Verknüpfungsschaltnetzes LCB, das später beschrieben wird, zu aktivieren und auf Null zu setzen. Ein Ausgang, an dem eine Verbindung 278 angeschlossen ist, führt einen booleschen Pegel, der, wenn er aktiv wird, einen später beschriebenen Zähler CTR auf Null setzt. Ein Ausgang, an den eine Verbindung 29 angeschlossen ist, führt einen "Wählcode" des Signals, dessen Zustand das Fortschreiten von einem Mikrobefehl zum nächsten steuert und dessen Funktion später beschrieben wird. Schließlich führt ein Ausgang, an den eine Verbindung 23 angeschlossen ist, eine Information über zwei mögliche nachfolgende Mikrobefehle zu einem Sequenzer SEQ, der im wesentli-

chen aus einem booleschen Verknüpfungsschaltnetz und einem Register, das den gespeicherten internen Zustand von CPU enthält, besteht, so daß der Sequenzer SEQ den auszuführenden nachfolgenden Mikrobefehl auswählen kann.

Diese Auswahl führt zu einer geeigneten vom Sequenzer SEQ zum Festwertspeicher MMP über eine Verbindung 24 gesendeten Adresse. Sie erfolgt im Grundsätzlichen aufgrund des booleschen Werts auf einer an einen Eingang von SEQ angeschlossenen Leitung 277 und als Folge hiervon aufgrund der Information auf der bereits beschriebenen Verbindung 23, eines an einem Eingang e_r von SEQ anliegenden Signal e_r und schließlich der auf einer Verbindung 25 eintreffenden Information. Das Signal e_r besteht aus einer Fehleranzeige, die, wie noch beschrieben wird, von einem von vier Komparatoren CF2, CF3, CF4 und CF5 erzeugt sein kann.

Auf der Verbindung 25 liegt die Startadresse für den Block von Mikrobefehlen, die sich auf den Befehl beziehen, den der Modul CPU gerade auszuführen beginnt. Diese Startadresse wird von einem Festwertspeicher MDI auf der Basis der von der Verbindung 31 der Sammelleitung bn kommenden Daten erzeugt, die über den Empfänger BR3 zum Festwertspeicher MDI übertragen werden.

Sofern der Modul CPU dupliziert ist, dienen Leitungen 27 und 28 der gegenseitigen Verbindung der beiden gekoppelten Elementarmoduln. Die Leitung 27 sendet zu einem analogen Sequenzer des (nicht dargestellten) gekoppelten CPU den booleschen Wert des Signals auf der Leitung 277, aufgrund dessen der Sequenzer SEQ die Entscheidung zwischen den beiden von der Verbindung 23 geführten Folgefunktionen durchführt. Umgekehrt empfängt der Sequenzer SEQ über die Leitung 28 das analoge von dem nicht dargestellten gekoppelten CPU kommende Signal.

Aufgrund dieser Verbindungen zwischen den gekoppelten elementaren Moduln CPU kann der Sequenzer SEQ, wenn auf der Verbin-

dung 23 ein vorgegebener Code vorhanden ist, die nachfolgende Mikroadresse berechnen, indem er einen konstanten Wert, der vom Festwertspeicher MMP selbst über das Register RMI stets über die Verbindung 23 geliefert wird, und den Status zweier boolescher Pegel auf den Leitungen 27 und 28 zusammenfügt. Von den vier möglichen Zweigen entsprechen zwei ("00" und "11") dem Vorgang, bei dem die beiden elementaren Moduln CPU über den Status der durch die Verbindung 29 gewählten Leitung übereinstimmen, und die verbleibenden beiden ("01" und "10") dem entgegengesetzten Vorgang.

Mit den Leitungen 27 und 28 ist eingangsseitig ein normaler Komparator CF1 verbunden, der ausgangsseitig am Leiter 26 dann, wenn seine Eingangssignale sich voneinander unterscheiden, einen geeigneten booleschen Pegel abgibt, um den Sequenzer SEQ davon zu informieren, daß ein Synchronismusverlust zwischen den beiden gekoppelten Moduln CPU stattgefunden hat, daß also der boolesche Pegel auf der Leitung 277, auf dessen Grundlage der Sequenzer SEQ den Wert der Adresse des nächsten Mikrobefehls berechnet, nicht mit dem analogen booleschen Wert im gekoppelten Modul CPU übereinstimmt.

Hierbei ist darauf hinzuweisen, daß der Sequenzer SEQ, der Festwertspeicher MMP und das Register RMI zusammen die typische Organisation einer logischen Folgeschaltung bilden, die in der Fachtechnik an sich bekannt ist. Der Betrieb dieser Folgeschaltung wird deshalb nicht weiter im einzelnen beschrieben.

Ein Multiplexer MXB mit einer Mehrzahl von Eingängen und einem einzigen Ausgang ist ausgangsseitig über die Leitung 227 mit dem Sequenzer SEQ und dem Komparator CF1 verbunden, während an seine Eingänge Verbindungen 210, 211, 227 und 279 angeschlossen sind. Auf der Verbindung 227 ist ein festgelegter boolescher Pegel ip verdrahtet, der in den beiden miteinander gekoppelten elementaren Moduln CPU unterschiedlich ist. Dieser boolesche Pegel kann einerseits vom Mikroprogramm geprüft werden, da er

am Eingang des Multiplexers MXB erscheint, und sperrt andererseits die Sender BD3 und BD4, so daß nur einer der beiden gekoppelten elementaren Moduln CPU in die Lage versetzt ist, auf die Sammelleitung bn zu senden, und somit in diesem Sinne als "heiß" anzusehen ist.

Der an den Leiter 279 angeschlossene Eingang des Multiplexers MXB empfängt ein vom Zähler CTR erzeugtes Zeitsignal. Der Zähler CTR zählt eine gegebene Anzahl N von Mikrozyklen und signalisiert das Ende des Zählvorgangs durch die Aktivierung des Leiters 279. Bei üblicher Bauart ist er außerdem in der Lage, die Zähloperation jedesmal bei Aktivierung des Leiters 279 fortzusetzen, und außerdem, diesen Leiter zu deaktivieren, wenn die an seinen Eingang angeschlossene, vom Register RMI kommende Verbindung 278 durch den gerade ablaufenden Mikrobefehl aktiviert wird. Der Multiplexer empfängt schließlich noch ein Signal sd, das später beschrieben wird.

Vom Register RMI kommt über die Verbindung 29 ein besonderer Stellbefehl für den Multiplexer MXB, aufgrund dessen er nur einen festgelegten Leiter von einer der beiden Verbindungen 210 und 211 wählt.

Eine Gruppe von zwei in Kaskade geschalteten Registern, die insgesamt mit RSY bezeichnet sind, wird durch das periodische Signal t zeitlich gesteuert und synchronisiert die von der Verbindung 310 der Sammelleitung bn über einen Sammelleitungsempfänger BR1, der den bereits beschriebenen Empfängern BR2, BR3 und BR4 vollkommen gleicht, empfangenen asynchronen Signale mit der Periode T des Betriebs des Moduls CPU.

Das Verknüpfungs-Schaltnetz LCB, das eingangsseitig über die Verbindung 22 die bereits beschriebenen, vom Register RMI kommenden Startbefehle empfängt, gibt über eine Verbindung 212, den Treiber oder Sender BD2 und eine Verbindung 213 an die Verbindung 32 der Sammelleitung bn folgende Signale gemäß Fig. 2c ab:

- ein Signal α , das es aufgrund seiner abfallenden Flanke den außerhalb des Moduls CPU befindlichen, an die Sammelleitung bn angeschlossenen Einheiten ermöglicht, die am Ausgang des Senders BD4, der an die Verbindung 31 angeschlossen ist, vorliegende Adresse zu speichern;
- ein Signal β , das die von der Recheneinheit ULAR bewirkte Phase des Lesens von Daten auf der Verbindung 31, auf die sie durch irgendeine Einheit mit Zugang zur Sammelleitung bn gesendet worden sind, zeitlich begrenzt;
- ein Signal γ , das dadurch, daß es sich auf einem hohen Pegel befindet, die Schreibphase in der mit Hilfe der abfallenden Flanke von α adressierten Einheit von Daten, die von ULAR erzeugt sind und vorübergehend in einem Register RU gespeichert sind, identifiziert.

Der Speichermodul M (Fig.1), der Schnittstellenmodul I und allgemein alle an die Sammelleitung bn angeschlossenen Modulen antworten auf die Signale β und γ auf einer Leitung der Verbindung 310 (Fig.2a) durch Abgabe eines Signals rpl mit der Bedeutung "durchgeführte Operation". Dieses typischerweise asynchrone Signal ist offensichtlich einer Zeitsteuerung durch den Modul CPU unterworfen.

Vor dem Sender BD2 und nach dem Empfänger BR2 sind zwei Eingänge des Komparators CF2 angeschlossen, die somit Zyklus um Zyklus die Übereinstimmung zwischen dem Signal auf der Verbindung 212, das vom Verknüpfungs-Schaltnetz LCB kommt, und dem Signal auf der Verbindung 213, das dem Signal auf der Verbindung 32 der Sammelleitung bn entspricht, überprüfen kann. Stimmen diese Signale nicht überein, so aktiviert der Komparator CF2 das beschriebene Fehlersignal e_r , das im Sequenzer SEQ die Abgabe einer Mikroadresse an den Festwertspeicher MMP über die Verbindung 24 zum Einleiten eines Überprüfungs- und Selbstdiagnoseprozesses bewirkt, wie noch beschrieben wird. Dieser Vergleich und die darauf bezogenen Folgen ermöglichen es, sicherzustellen, daß der in Fig. 2a dargestellte Modul CPU und der

nicht dargestellte damit gekoppelte Modul Zyklus um Zyklus, also in jedem Intervall der Ausführung eines Mikrobefehls, in jeder abgegebenen Signalkonfiguration übereinstimmen.

Unabhängig von den verarbeiteten Signalen wird diese gleiche Art des Vergleichs, gefolgt von einer möglichen Emission des Fehlersignals e_r an den Sequenzer SEQ, von den Komparatoren CF3 und CF4 durchgeführt, die vor den Sendern BD3 bzw. BD4 und hinter den Empfängern BR3 bzw. BR4 angeordnet sind.

Eine Dehn- oder Expandereinheit UEA der Adressen besteht im wesentlichen aus einer Bank schneller Register und aus Verknüpfungsschaltungen, die den Ausgängen dieser Register zugeordnet sind. Die Einheit UEA empfängt eingangsseitig über eine Verbindung 219 die eine Adresse bildende σ -Bit-Information, die vorher auf den Befehl W4 von der gleichnamigen Ausgangsklemme des Registers RMI hin in einem Register RA gespeichert worden ist. UEA speichert die Information auf Empfang des Schreibbefehls W2 hin in seinen eigenen Registern und wandelt sie in eine τ -Bit-Adresse ($\tau > \sigma$) um. Diese letztere Adresse besteht aus einem Teil τ_1 von Bits geringerer Wertigkeit, die ausgangssseitig über eine Verbindung 220 an eine Rückformungseinheit RIC abgegeben werden, die später beschrieben wird, und aus einem Teil τ_2 von Bits höherer Wertigkeit, die ausgangssseitig über eine Verbindung 221 zum Komparator CF4 und zum Sender BD4 abgegeben werden. Hierbei ist $\tau = \tau_1 + \tau_2$.

Es ist darauf hinzuweisen, daß die Umwandlung der σ -Bit-Adresse in die τ -Bit-Adresse ($\tau > \sigma$) durch die Inhalte der internen Register der Expandereinheit UEA bestimmt wird, in denen die auf der Verbindung 219 liegenden Daten zuvor gespeichert worden sind, und ferner durch einen auf einer Verbindung 222, die den Ausgang des Registers RS mit einem weiteren Eingang von UEA verbindet, liegenden Code bestimmt wird. Die Umwandlung ist notwendig, um im über 2^σ Zellen liegenden Speicherraum eine Adressiermöglichkeit zu schaffen.

Wie beschrieben, werden im Register RS zum Zeitpunkt eines Befehls W5 von der gleichnamigen Klemme des Registers RMI die aus der Recheneinheit ULAR ausgehenden Daten gespeichert. Diese Daten betreffen folgendes:

- den inneren Zustand des Moduls CPU, codiert in den Bits, die ausgangsseitig über die Verbindung 222 der Einheit UEA zur Verfügung gestellt werden;
- die Qualifikation "primäre Einheit UP" oder "sekundäre Einheit UP", die an die Einheit UP (Fig.1) und als Folge hiervon an die beiden gekoppelten elementaren Modulen CPU, die zu ihr gehören, gegeben wird.

Diese Qualifikation kann praktisch durch Angabe der booleschen Werte auf den vier die Verbindung 225 (Fig.2a) zusammensetzenden Leitungen oder Leitern am Ausgang des Registers RS ausgedrückt werden. Diese Leiter sind sämtlich mit den Eingängen eines normalen Fünfwege-Multiplexers MXC verbunden. Jeder Leiter entspricht einem der folgenden Operationen: Lesen eines Datums, Schreiben eines Datums, Lesen und Schreiben eines sich auf spezielle Befehle der allgemein als "Test und Set" bezeichneten Art beziehenden Datums. Jeder der Leiter führt die Angabe, welche Gruppe der Speicherbanken BM (Fig.1), die primäre oder die sekundäre, in die gerade ablaufende Operation einbezogen werden muß.

Gemäß einem allgemein akzeptierten Brauch wird zwischen primären und sekundären Einheiten UP gemäß dem booleschen Wert auf einem der vier Leiter unterschieden, nämlich auf dem, der sich auf das Lesen von Befehlen bezieht. Im einzelnen sind die primären Einheiten UP diejenigen, die beim Lesen der Befehle Zugriff zu den primären Banken haben, während die sekundären Einheiten UP diejenigen sind, die bei der gleichen Art von Operation Zugriff zu den sekundären Banken BM haben.

Das Bit eines Signals sd gibt durch seinen booleschen Wert codiert die Regeln an, gemäß denen der Schreibvorgang durchge-

führt werden soll, nämlich ob er nur in der primären Bank BM, statt dupliziert zu werden, ausgeführt wird oder erst in der primären Bank und nachher in der sekundären Bank ausgeführt wird. Das Signal sd wird auch an den Eingang des Multiplexers MXB angelegt und kann somit durch das Mikroprogramm geprüft werden, um die Wahl zwischen den beiden erwähnten Alternativen zu ermöglichen.

Ist im einzelnen das Bit des Signals sd in der Einzelstellung s, so führt das Mikroprogramm nur eine einzige Schreiboperation in der Primärbank aus, hat andererseits das Bit des Signals sd die Duplikationsstellung d, so betreibt das Mikroprogramm, soweit es am Signal S1 wirkt, ein erstes Schreiben in der primären Bank, indem es das auf das Schreiben bezogene Qualifikationsbit, das am entsprechenden Leiter der Verbindung 225 auftritt, verwendet, und betreibt dann eine zweite Schreiboperation in der Sekundärbank, indem es dieses Bit, nachdem es von einem üblichen Inverter IN invertiert worden ist, nochmal verwendet.

Die der Rekonfiguration dienende Rückformungseinheit RIC empfängt von der Verbindung 220 den Teil niedrigerer Wertigkeit Teil τ_1 der Adresse und wandelt ihn in ein am Ausgang über eine Verbindung 223 zur Verbindung 33 der Sammelleitung bn abgegebenes codiertes Signal um. Diese Einheit RIC besteht aus einem schnellen Speicher aus 2^{τ_1+1} Wörtern. In diesen Speicher wird von der Recheneinheit ULAR über das Register RU dann eingeschrieben, wenn das vom Festwertspeicher MMP kommende Befehlssignal W1 aktiviert ist. In den Zellen der Rückformungseinheit RIC sind die Codes der Speicherbanken BM1, ..., BMk (Fig.1) gespeichert, und zwar in Übereinstimmung mit den Konfigurationen der Adressenbits τ_1 , die von der Expandereinheit UEA (Fig.2a) erzeugt werden und in Übereinstimmung mit der "Qualifikation" des Moduls CPU angeordnet sind, die von der booleschen Konstellation auf der Verbindung 225 ableitbar ist. Die Wahl der zu adressierenden Speicherbank und damit des ent-

sprechenden Codes unter den in der Rückformungseinheit RIC gespeicherten 2^{τ_1+1} Codes, der auf die Verbindung 223 gegeben werden muß, erfolgt durch Adressierung des Speichers der Schaltung RIC. Die Adresse besteht aus den τ_1 Bits, die von der Expandereinheit UEA über die Verbindung 220 kommen, und einem zusätzlichen Bit, das von dem durch das Mikrobefehlssignal S1 gesteuerten Multiplexer MXC eingeschoben wird. Das Signal S1 ermöglicht es dem Mikroprogramm, die Einheit RIC entsprechend dem im Register RS gespeicherten Qualifikationsbit, das der durchzuführenden Speicheroperation entspricht, zu adressieren. Im einzelnen wird jede dieser erwähnten Funktionen, nämlich Lesen des Befehls, Lesen der Daten, Lesen der Daten in den Befehlen "Test und Set", mit einem derjenigen Codes korreliert, die auf der Verbindung möglich sind, die das Signal S1 führt, während für die Schreiboperation das im Festwertspeicher MMP gespeicherte Mikroprogramm mit Hilfe zweier verschiedener Codes von S1 sowohl das auf das Schreiben bezogene Qualifikationsbit, das in RS gespeichert ist, als auch seinen komplementierten booleschen Wert, der mit Hilfe des mit einem der Eingänge des Multiplexers MXC verbundenen Inverters IN erhalten wird, wählen kann.

Das Ausgangssignal der Einheit RIC, das auf die Verbindung 223 gegeben wird, hängt davon ab, ob das am mit einem Leiter 280 verbundenen Eingang vorhandene Signal aktiv ist oder nicht. Der auf diesem Leiter liegende boolesche Pegel wird dann aktiv, wenn eine eingangsseitig an die Verbindung 221, die die τ_2 bereits beschriebenen Adressenbit führt, angeschlossene normale Decoderschaltung D findet, daß die Adresse einen höheren Wert als den einer in der Schaltung D fest verdrahteten vorgegebenen Stellenwert hat.

Die Verbindung mit dem in der Zeichnung nicht dargestellten gekoppelten Modul CPU, die, wie beschrieben, über die Leitungen 27, 28, 214 und 215 und die Verbindungen 31, 32, 310 in der Sammelleitung bn gegeben ist, ist so entworfen, daß sie eine Selbstdiagnose der in den duplizierten Moduln CPU fehlerhaft funktion-

nierenden Schaltung ermöglicht. Hinsichtlich des Effekts nach außen wird das Paar der Moduln als eine einzige Funktionseinheit angesehen.

Die Selbstdiagnose wird mit Hilfe von zwei Arten von Vergleichen durchgeführt: ein erster, zur Zeit des Mikrobefehls durchgeführter Vergleich betrifft die von einem einzigen der Moduln CPU erzeugten, auf die Verbindung 32 der Sammelleitung bn gegebenen Befehle; ein in jedem Speicherzyklus durchgeführter zweiter Vergleich betrifft die Information, die jeder der beiden Moduln zur Verbindung 31 überträgt, und zwar sowohl als Adresse als auch als Schreibdaten. Der erste Vergleich wird vom Komparator CF2 durchgeführt und der zweite wird, soweit es die Adresse betrifft, vom Komparator CF4, und soweit es die Schreibdaten betrifft, vom Komparator CF3 durchgeführt. Indem diese Vergleiche mit den gegebenen Rhythmen, die so schnell als möglich sind, im Hinblick auf die Änderungen der zu überprüfenden Signale und Daten durchgeführt werden, ist eine sofortige Feststellung irgendeines Fehlers, der in den gekoppelten Moduln CPU auftreten könnte, sichergestellt. Hierbei wird unter Zugrundelegung der bekannten Wahrscheinlichkeitstheorien davon ausgegangen, daß ein sich möglicherweise auf viele Schaltungen beziehender Fehler auf nur einen der beiden gekoppelten Moduln CPU begrenzt ist. Tatsächlich ist gemäß dieser Theorie die Wahrscheinlichkeit eines Fehlers in beiden Moduln CPU wahrscheinlichkeitsmäßig sehr selten.

Das Auftreten eines Fehlers macht das Fehlersignal e_r aktiv, das an den Sequenzer SEQ gegeben wird, wo es unabhängig von dem inneren Zustand und vom Zustand der an seinen Eingängen liegenden Signale die Erzeugung einer zum Festwertspeicher MMP gerichteten vorgegebenen Mikroadresse bewirkt, die sich auf ein bestimmtes mikroprogrammiertes Vorgehen bezieht, das später beschrieben wird.

Zur Sicherstellung eines richtigen Betriebs der Komparatoren CF2, CF3 und CF4 sendet das in MMP enthaltene Mikroprogramm periodisch geeignete Bitkonfigurationen auf die Verbindungen 31, 32 und 310. Diese Konfigurationen werden von jedem der angeschlossenen Moduln CPU auf absichtlich nicht übereinstimmende Weise emittiert, und zwar in Abhängigkeit von der Identität, die durch den verdrahteterweise auf der Verbindung 227 liegenden booleschen Pegel i_p geliefert wird.

Wird von den beiden elementaren Moduln CPU derjenige, der aufgrund seiner Identität nicht zum Senden auf die Sammelleitung b_n in die Lage versetzt ist, als "kalter" Modul CPU bezeichnet, und derjenige Modul CPU, der aufgrund des entsprechenden booleschen Pegels am Leiter 227 zum Senden in die Lage versetzt ist, als "heißer" Modul CPU bezeichnet; so gilt: vor den Treiberschaltungen oder Sendern BD2, BD3 und BD4 des "kalten" Moduls CPU herrscht eine Binärkonfiguration, die mit Sicherheit in einem und nur in einem Bit von der auf der selben Sammelleitung b_n liegenden Konfiguration, also der vom "heißen" Modul CPU auf die Sammelleitung b_n gesendeten Konfiguration unterschiedlich ist. In einer Situation wie soeben beschrieben wird das Fehler-signal e_r wenigstens am "kalten" Modul aktiv gemacht, und aufgrund des Austauschs dieses Signals über einen Leiter 228 zwischen den beiden gekoppelten elementaren Moduln CPU durch einen "verdrahtet-ODER"-Leiter ("wired-or") setzt diese Aktivierung das entsprechende Mikroprogrammverfahren in Gang. Der Ausdruck "verdrahtet-ODER" beschreibt hierbei die Verbindung zweier boolescher Verknüpfungsglieder, die an ihren jeweiligen Ausgängen miteinander verbunden sind, die somit von der Art mit offenem Kollektor sein müssen.

Das mikroprogrammierte Vorgehen läuft folgendermaßen ab:

- zunächst wird der Zustand eines internen Registers der Recheneinheit ULAR überprüft. In Abhängigkeit von seinem Wert wird zwischen einem realen und einem vorübergehenden Fehler unterschieden;

- im Fall eines vorübergehenden Fehlers endet der Vorgang durch die Rückkehr zu einer festen Stelle des Mikroprogramms, an der der normale Betrieb des Moduls CPU wieder aufgenommen wird;
- im Falle eines realen Fehlers setzt zunächst das Mikroprogramm alle vom Verknüpfungs-Schaltnetz LCB erzeugten Signale aufgrund entsprechender Befehle auf der Verbindung 22 auf Null und führt schließlich einen Sprung zu einem Mikrobefehl durch, der als Folgefunktion einen Sprung zu seiner eigenen Mikroadresse enthält. Dieser Mikrobefehl aktiviert auch ein Signal a an der gleichnamigen Ausgangsklemme des Registers RMI. Analog zum Fehlersignal e_r wird auch das Signal a zwischen den beiden miteinander gekoppelten elementaren Modulen entsprechend einer "verdrahtet-ODER"-Technik ausgetauscht. Hierbei bleibt das duplizierte Modul CPU unbegrenzt im fehlerhaften Zustand angehalten.

Ein solcher Zustand, der der beschriebenen aus einem einzigen Mikrobefehl zusammengesetzten Mikroprogramm-"Schleife" entspricht, ist durch folgende Merkmale identifiziert:

- die Aktivierung des Leiters 215 und damit des Leiters der Verbindung 282 der Sammelleitung bn , wobei dieser Wert dann in verschiedener Weise außerhalb des Moduls CPU ausgewertet werden kann, beispielsweise zur Sichtbarmachung des Fehlerzustands, für einen Alarm an eine oder eine Mehrzahl von Modulen CPU, die mit dem beschriebenen Modul bei der Prozeßsteuerung zusammenwirken, seine Initialisierung zu peripheren Einheiten usw;
- Isolierung des Moduls CPU selbst in Bezug zur Sammelleitung bn , wobei diese Isolierung jedenfalls durch den einen der beiden Module, welcher als nicht von Fehlern befallen vorausgesetzt wird, sichergestellt wird.

Auf diese Weise sind die vom Fehler herkommenden Wirkungen auf ein Minimum begrenzt, da der duplizierte Modul CPU seine Aufgabe nach dem Fehler nicht weiter vollführen kann. Diese Charakteri-

stik läßt die Verwendung des Moduls CPU mit interner Duplikation beispielsweise in der Umgebung eines Multiprozessors als bevorzugenswert erscheinen und stellt sicher, daß ein physikalischer Fehler, der in einem einzigen Modul auftritt, nicht das gesamte System beeinträchtigen kann.

Die Art der soeben beschriebenen inneren Duplizierung und die Modalitäten des stetigen Vergleichs zwischen den beiden gekoppelten elementaren Modulen werden durch die später beschriebenen Schaltungen und Vorgehensweisen möglich. Sie sind aufgrund der asynchronen Natur der Sammelleitung bn notwendig.

Jedenfalls ist diese Charakteristik der Sammelleitung bn zwangsläufig, da eine Kommunikation zwischen jedem beliebigen Modul CPU der Verarbeitungseinheiten UP (Fig.1) und jedem Speichermodul M der Speicherbanken BM über sämtliche beteiligten Sammelleitungen (b,c,l) notwendig ist, ohne daß das Vorhandensein eines sämtlichen Einheiten UP und Speicherbanken BM gemeinsamen Zeitgebers erforderlich ist, der aufgrund des Gesichtspunkts der Zuverlässigkeit ein Risiko darstellen würde; die Kommunikation erfolgt also über ein typisch asynchrones Vorgehen. Die Verwendung asynchroner Sammelleitungen für die Sammelleitungen b und l erbringt ohnehin eine Anzahl von dem Fachmann an sich bekannten Vorteilen.

Darüberhinaus wird ein derartiger Fehlerstatus mit den beiden beschriebenen Folgen innerhalb einer Zeit erreicht, die gleich einem Mikrozyklus oder der Dauer eines Lese- oder Schreibzyklus ist, so daß eine Fehlerfortpflanzung vom Anfang an verhindert ist.

Wie erläutert, sind die Zeitpunkte, zu denen die auf der Sammelleitung bn vorhandenen Signale geschaltet werden, nicht mit der Periode T des Mikrozyklus korreliert, so daß die so realisierte innere Duplizierung zwischen den beiden gekoppelten Modulen CPU das Risiko mit sich bringt, daß ein auf der Verbindung 310 der Sammelleitung bn liegendes Signal, das in die Module CPU einge-

speist wird, von einem dieser Moduln als boolesche 0 und vom anderen als boolesche 1 abgetastet wird. In diesem Fall könnten die beiden Moduln CPU sich voneinander in der Entwicklung ihrer Mikroadressen und folglich im logischen Fluß ihrer Mikroprogramme unterscheiden. Zur Verhinderung der Konsequenzen eines solchen Vorgangs dienen die Leitungen 27 und 28, der Komparator CF1 und das von der Zeitsteuereinrichtung BT1 kommende Signal tc (Fig.2b).

Es sei angenommen, daß erstens ein solcher Vorgang eintritt und zweitens während eines Mikrozyklus \bar{t}_1 (Fig.2b) der gerade in Ausführung begriffene Mikrobefehl den Sequenzer SEQ (Fig.2a) zwingt, die nachfolgende Mikroadresse zu berechnen, nämlich auf der Basis des von der Verbindung 310 der Sammelleitung bn empfangenen Leiterstatus. Auf den beiden Leitungen 27 und 28 liegen dann zwei entgegengesetzte boolesche Werte, die zwischen den gekoppelten Moduln CPU ausgetauscht werden. Als Folge hiervon wird das Signal am Leiter 26 aktiv, wodurch die beiden in Duplikation geschalteten Moduln CPU außerstande gesetzt werden, in ihren jeweiligen Registern RMI, die vom Signal tc zeitgesteuert werden, zwei unterschiedliche Mikrobefehle zu speichern und damit unwiderruflich auseinanderzulaufen. Da außerdem die Recheneinheit ULAR, der Sequenzer SEQ und das Verknüpfungsschaltnetz LCB an die Zeitsteuerung durch das Signal tc gekettet sind, können sie den auf den Zyklus \bar{t}_1 bezogenen Mikrobefehl nicht ausführen, wohl hingegen als Folge einer anschließenden Abtastung des selben Signals im Register RSY, das vom - nicht gesperrten - Signal t betrieben wird. Hierbei sind, wenn keine Fehler vorliegen, die auf den Leitungen 27 und 28 vorliegenden booleschen Werte wieder in Übereinstimmung. Das am Leiter 26 liegende Signal wird wieder "desaktiviert" und der im Zyklus \bar{t}_1 nicht ausgeführte Mikrobefehl wird ohne Informationsverlust im Zyklus \bar{t}_2 ausgeführt.

Liegt andererseits ein Fehler vor, beispielsweise im Empfänger BR1, im Register RSY oder im Multiplexer MXB, so daß also auch

während \bar{t}_2 das Signal am Leiter 26 im aktiven Zustand verbleibt, so setzen die beiden gekoppelten Moduln ihre Verarbeitungsoperationen ohne Übereinstimmung fort und der Fehler wird von den Komparatoren CF2, CF3, CF4 festgestellt, sobald die logische Konsequenz des eingangsseitig erfolgten Verlusts des Synchronismus an den ausgangsseitigen Sendern BD2, BD3, BD4 der Moduln CPU nicht in Erscheinung tritt.

Die Organisation des Sequenzers SEQ und des im Festwertspeicher MMP gespeicherten Mikroprogramms ermöglicht es außerdem, die Folgen eines möglichen Synchronisationsverlusts, also hinsichtlich der Eingangssignale des Multiplexers MXB, zwischen den beiden duplizierten Moduln CPU zu vermeiden, so daß dieser Verlust bei der Höhe des Mikroprogramms sichtbar gemacht wird und das Einsetzen eines möglichen Wiederherstellungsvorgangs möglich ist.

Dies wird durch den Signalaustausch zwischen den Sequenzern SEQ der beiden Moduln CPU über die Leitungen 27 und 28 und durch die Möglichkeit, während eines einzigen Mikrozyklus wie erwähnt Zweige mit vier Ausgangswegen in Abhängigkeit von den booleschen Werten auf den Leitungen 27 und 28 herzustellen, ermöglicht. Sofern die vom Sequenzer SEQ berechneten Mikroadressen diejenigen sind, die den Situationen "01" oder "10" auf den Leitungen 27 und 28 entsprechen, und sofern in den durch diese Mikroadressen adressierten Speicherstellen in MMP eine Verarbeitung des Vorgangs selbst begonnen wird, kann das Problem des Synchronismusverlusts im duplizierten System auf Mikroprogrammpegel gelöst werden. Es ergibt sich also der Vorteil, den Prozeß der Wiederherstellung der Signalidentität auf das Signal zu spezialisieren, das unter all den an den Eingängen des Multiplexers MXB anliegenden Signalen den Synchronismusverlust verursacht hat.

Es ist zu beachten, daß durch das beschriebene Vorgehen eine innere Duplizierung der gekoppelten Moduln CPU realisiert ist, die die jeweilige Prüfung mitumfaßt und im wesentlichen nur drei Leitungen zur gegenseitigen Verbindung der beiden Moduln CPU be-

nötigt, nämlich die Leitungen 27, 28 und den Leiter 228. Dieser Tatbestand erweist sich als besonders nützlich, wenn jeder der beiden Moduln CPU in einen eigenen integrierten Schaltkreis integriert werden soll. In solchen Fällen stellt das Gewicht aufgrund der Zahl der möglichen Klemmen das bedingende Kriterium dar.

Im folgenden wird kurz das Vorgehen bei der Optimierung der Funktionen der zentralen Verarbeitungseinheit beschrieben, soweit der bereits erläuterte Modul CPU, die Vorverarbeitung und hauptsächlich die Vorverarbeitung von Fernsprechsignalen betroffen sind. Die Vorgehensregel ist ein Ergebnis von Untersuchungen, die zur Erfindung geführt haben. Sie beruht auf zwei streng miteinander verbundenen Prinzipien.

Das erste Prinzip besteht in der Aufteilung der an einem gegebenen Abtastergebnis von Daten auszuführenden Operationen in eine Reihe von solchen rein booleschen Operationen, die von der Recheneinheit ULAR (Fig.2a) durchgeführt werden können. Diese Aufteilung ist bei den mit den Verarbeitungsoperationen verbundenen Problemen praktisch immer möglich. Im einzelnen ist sie bei der Vorverarbeitung von Fernsprechsignalen zweckmäßig, bei der bekanntlich häufig Zählungen der Dauer alternierender Vorgänge und von Übergängen von Binärsignalen stattfinden.

Das zweite Prinzip beruht auf einer nicht horizontalen, sondern vertikalen Organisation der die Vorverarbeitung betreffenden Daten sowohl in jedem beliebigen Modul I, der die Eingangs-Ausgangs-Schnittstellenschaltung darstellt (Fig.1) und von dem die Daten extrahiert und zu dem sie zurückgeführt werden, und in jedem beliebigen Speicher-Modul M, und schließlich in die internen Register der Recheneinheit ULAR (Fig.2a).

Die vertikale Datenorganisation bedeutet, daß der Wert des zu verarbeitenden Signals und die auf die Vorverarbeitung bezogenen Parameter im Speicherbereich, der, wie beschrieben wurde,

aus 2^7 Wörtern von 6 Bits besteht, an übereinstimmenden Bits einer Mehrzahl von Wörtern plazierte werden. Auf diese Weise wird jedes vom Modul CPU gelesene Speicherwort der Recheneinheit ULAR auf der Verbindung 217 gleichzeitig mit sämtlichen Daten der Arbeit so vieler Abtastungen geliefert, als Bits (6) die Speicherstelle zusammensetzen, beabsichtigt als Menge elementarer Daten, die durch eine Adresse zurückgerufen werden können.

Die die Vorverarbeitung betreffenden booleschen Operationen werden von der Recheneinheit ULAR aufgrund dieser beiden Prinzipien gleichzeitig für sämtliche 6 Signale durchgeführt.

Am Ende der Folge dieser Operationen stehen deren Ergebnisse, stets in vertikaler Organisation, in einer oder in mehreren Positionen des Speichers M (Fig.1) zur Verfügung.

Zur besseren Veranschaulichung der durchgeführten Operation wird im folgenden ein spezielles, einfaches Beispiel beschrieben, das insbesondere für Anwendungen bei der Vorverarbeitung von Fernsprechsignalen Bedeutung hat, bei der das Signal durch eine Integration von möglichen überlagerten Störsignalen gefiltert werden muß. In der Regel wird diese Integration so durchgeführt, daß die Dauer des booleschen Pegels in einem gegebenen Zustand mit Hilfe von Aufwärts-Abwärts-Zählern gezählt wird. Im Rahmen des Beispiels werden folgende Voraussetzungen angenommen:

1. es ist eine Gruppe von 16 2-Bit-Zählern der beschriebenen Art zu steuern, von denen jeder einem Leiter zugeordnet ist, auf dem ein boolesches Binärsignal liegt;
2. die 16 Leiter sind abzutasten und für jeden Leiter müssen die folgenden Operationen ausgeführt werden:
 - ist der am Leiter abgetastete Wert eine boolesche 0, so muß der Zähler abwärts zählen. Steht er bereits auf dem Zählwert 00, so bleibt er unverändert;

- ist der am Leiter abgetastete Wert eine boolesche 1, so muß der Zähler aufwärts zählen. Steht er bereits auf dem Zählwert 11, so bleibt er unverändert.

3. Das Abtasten der Leiter findet in 16er Gruppen in einer Position von 16 Bits ($G = 16$) statt.

Zur Lösung dieser Anforderung mit Hilfe eines 16-Bit-Wörter verarbeitenden Prozessors könnten an sich in üblicher Weise die 16 Zähler in zwei Wörtern angeordnet werden, wobei horizontal jedem Wort acht Zähler zugeordnet sind. Die Operationen könnten dann ausgeführt werden, indem in geordneter Reihenfolge für jeden der 16 Leiter der entsprechende Zähler gewählt wird. Dies würde mehrfache Verschiebungsoperationen, nämlich um zwei Stellen, der von den beiden Wörtern belegten Speicherpositionen erfordern. Darüberhinaus würde bei jedem vertikalen Schritt gemäß den beschriebenen Bedingungen ein Abwärtszählen oder ein Aufwärtszählen des Zählers bewirkt. Alles dies könnte etwa 90 elementare boolesche Operationen der von marktüblichen Rechnern durchgeführten Operationsarten erfordern.

Bei dem hier gewählten Vorgehen werden hingegen die erforderlichen Operationen analog zu booleschen Gleichungen abgewickelt. Im beschriebenen Beispiel seien:

- F_x = Abtastwert von einem allgemeinen Leiter x ($x=0, \dots, 15$);
- A_x = niedrigerwertiges Bit als der vom Zähler x , der dem Leiter x zugeordnet ist, angenommene Wert, vor dem Abtasten;
- B_x = höherwertiges Bit als der vom Zähler x angenommene Wert, vor dem Abtasten;
- A'_x = niedrigerwertiges Bit als der Wert, den der Zähler x nach dem Abtasten annehmen muß;
- B'_x = höherwertiges Bit als der Wert, den der Zähler x nach dem Abtasten annehmen muß.

Die dem Aufwärtzzählen des Zählers entsprechenden booleschen Gleichungen, die praktisch das Vorgehen und damit die Reihe von möglicherweise beim beschriebenen Beispiel im Festwertspeicher MMP gespeicherten Mikrobefehle bestimmen, sind:

$$A'_x = B_x (\bar{A}_x + F_x) + \bar{A}_x F_x \quad (1)$$

$$B'_x = A_x B_x + F_x (A_x + B_x) \quad (2)$$

Darüberhinaus muß der Zustand der Leiter und ihrer Zähler in drei Speicherpositionen V1, V2 und V3 gemäß dem folgenden Schema organisiert sein:

$$\begin{aligned} V1 &= F_{15}, F_{14}, \dots, F_x, \dots, F_0 \\ V2 &= A_{15}, A_{14}, \dots, A_x, \dots, A_0 \\ V3 &= B_{15}, B_{14}, \dots, B_x, \dots, B_0 \end{aligned} \quad (3)$$

Den Gleichungen (1) und (2) entsprechende boolesche Operationen, die auf diese Weise an den gesamten Speicherpositionen V1, V2, V3 durchgeführt werden, liefern automatisch die 16 Ergebnisse gleichzeitig. Dieses Resultat wird beim speziellen hier beschriebenen Fall mit Hilfe von 10 elementaren booleschen Operationen erreicht, von denen jede angenähert die Zeit T eines Mikrozyklus in Anspruch nimmt.

Das Schalten des Moduls CPU (Fig.2a) von seiner normalen Tätigkeit zur Ausführung von Vorverarbeitungsvorgängen erfolgt periodisch, beispielsweise auf Anforderung, entweder über normale "Unterbrechungs"-Prozeduren ("Interrupt"), die vom Modul I durchgeführt werden, oder auf Befehl des Moduls CPU jedesmal dann, wenn das Signal am Leiter 279 aktiv wird. Da dieses Signal von einem sich selbst zurückstellenden Zähler erzeugt wird, findet diese Schaltoperation mit einer Periode NT statt. Das entgegengesetzte Schalten von Vorverarbeitungsfunktionen zur normalen Verarbeitung findet asynchron statt, wenn sämtliche auf diese Zeitphase bezogenen Vorverarbeitungsoperationen durchgeführt worden sind. Das Ergebnis der während der Vorverarbeitung durchgeführten Arbeiten resultiert in Messun-

gen, die für die nächste unmittelbar im Speicher-Modul M (Fig.1) betriebene Verarbeitung zugänglich sind.

Es bringt eine erhebliche Vereinfachung und Geschwindigkeitsvorteile beim Informationsaustausch mit sich, daß der selbe Speicher für die Arbeitsbereiche der Vorverarbeitung, für den gegenseitigen Austausch von Nachrichten zwischen den Vorverarbeitungs- und den Verarbeitungsoperationen und schließlich für die normale Verarbeitung verwendet wird, und ist außerdem aus dem Gesichtspunkt der leichten Diagnostizierbarkeit der für die Vorverarbeitung verwendeten Speicherbereiche vorteilhaft.

Das die Lehre der angegebenen Gleichungen verwirklichende Vorgehen verschafft dem Modul CPU einen Parallelismus der Ordnung σ beim Verarbeiten der zu verarbeitenden Signale, und aufgrund der Tatsache, daß die entsprechenden Verarbeitungsoperationen in möglichst kurzen Zeitspannen durchgeführt werden, also nicht in Zeitbereichen von für ein Modul CPU typischen Befehlen sondern in Zeitbereichen von Mikrobefehlen, kann das beschriebene Modul CPU mit ausreichender Effizienz in Realzeit sowohl die normalen Operationen jeder beliebigen Verarbeitungseinheit gleicher Art als auch die für die Vorverarbeitung von Signalen, insbesondere von typischen Fernsprechsignalen, erforderlichen Operationen durchführen.

Der als Sammelleitungsvervielfacher arbeitende Modul MEI (Fig.1) besteht gemäß Fig. 3 aus einer Schaltung mit k Sender-Empfänger-Blöcken DR, nämlich DR1, DR2, ..., DR k , die jeweils beim Senden und beim Empfangen als Treiber seiner eigenen Sammelleitung wirken. Wird angenommen, daß der Schaltplan nach Fig. 3 sich auf den Modul MEI der Verarbeitungseinheit UP n (Fig.1) bezieht, so sind die bidirektionell mit den Sender-Empfängern DR1, DR2, ..., DR k verbundenen Sammelleitungen die Sammelleitungen Cn1, Cn2, ..., bzw. Cn k (Fig.1,3). Die Schaltung nach Fig. 3 umfaßt weiterhin einen Block BB1, der vorüber-

gehend die auf der Sammelleitung bn liegenden Adressen und Daten speichert, wobei diese Sammelleitung am Block BB1 mit der Verbindung 31 anschließt. Diese Adressen und dazugehörigen Daten werden zwischen den k Sender-Empfängern DR und der Sammelleitung bn vom und zum mit dieser verbundenen Modul CPU (Fig.1) bidirektionell durch eine Anzahl von Verknüpfungsschaltungen über eine Verbindung 313 übertragen. Eine Ausführungsform des Blocks BB1 kann bei Kenntnis der von ihm auszuführenden Funktionen durch den Fachmann erstellt werden.

Ein Verknüpfungs-Schaltnetz LS1 empfängt die vom Modul CPU (Fig.1) kommenden Befehle über die Sammelleitung bn und eine Verbindung 320 und überträgt diese Befehle später über Verbindungen 314 zu sämtlichen Sender-Empfängern DR. Außerdem gibt es an die übrigen Blöcke über eine Verbindung 315 Befehle ab, die später beschrieben werden. An den Modul CPU sendet das Schaltnetz LS1 über eine Verbindung 38 und die Sammelleitung bn ein Steuersignal für die Durchführung der Operationen. Genauer dargestellt, dient das vom Schaltnetz LS1 über einzelne Leiter der Verbindung 315 zum Block BB1 übertragene Signal als Taktsignal für das Register. Weiterhin geht vom Schaltnetz LS1 über die Verbindung 315 ein Befehl an einen Decoder DC von an sich bekannter Bauart, der über die Verbindung 33 der Sammelschiene bn ein bestimmtes ^{de}codiertes Signal empfängt, es so codiert, daß die Identität des beteiligten Sender-Empfängers DR festgestellt wird, und an diesen Sender-Empfänger auf den Befehl von LS1 hin über einen von Leitern r_1, r_2, \dots, r_k ein Betätigungssignal sendet. Andererseits sendet der Decoder DC rückwärts über die Verbindung 39 und die Sammelschiene bn an den Modul CPU (Fig.1) ein Signal, das der Überprüfung der soeben durchgeführten Decodieroperation dient.

Eine Schaltung IT (Fig.3) sendet an die k Sender-Empfänger DR, mit denen sie getrennt über Leiter s_1, s_2, \dots, s_k verbunden ist, "Unterbrechungs"-Signale ("Interrupt"-Signale), die sie bei Empfang geeigneter Befehle erzeugt, die der Sammelleitung

bn über eine Verbindung 34 und weiterer Befehle vom Verknüpfungs-Schaltnetz LS1 über die Verbindung 315 eintreffen. Die Schaltung IT sendet dann an den Modul CPU über einen Leiter 319 und die Sammelleitung bn ein Bestätigungssignal für die durchgeführte Operation. Bauteile wie die Schaltung IT sind in der Technik an sich bekannt.

Von den k Sender-Empfängern DR kommen über Leiter u_1, u_2, \dots, u_k bzw. v_1, v_2, \dots, v_k "Unterbrechungs"-Signale zu Schaltungen IR1 und IR2, die diese Signale empfangen und speichern. Bei Empfang dieser Signale informieren die Schaltungen IR1 und IR2 den Modul CPU über Leiter 321 bzw. 322 und die Sammelleitung bn. Anschließend senden auf eine spezielle vom Modul CPU über die Sammelleitung bn und Verbindungen 35 und 36 kommende Anforderung hin die Schaltungen IR1 und IR2 an den Modul CPU über Verbindungen 311 bzw. 312 codierte Signale u bzw. v. Im einzelnen beziehen sich die von der Schaltung IR1 empfangenen Unterbrechungs-Signale auf Kommunikationsanforderungen zwischen irgendeinem Modul CPU und irgendeinem anderen Modul CPU und die von der Schaltung IR2 empfangenen auf Fehlfunktionen in den Speicherbanken BM (Fig.1). Schaltungen wie IR1 und IR2 sind dem Fachmann an sich bekannt.

Ein normales boolesches Verknüpfungsschaltnetz RM ist so entworfen, daß es die möglichen Unterbrechungs-Signale, die von einem der Moduln CPU als unrichtig oder irgendwie unerwünscht erkannt worden sind, ausblendet. Die so ausgeblendeten oder maskierten Unterbrechungs-Signale werden von den Schaltungen IR1 und IR2 nicht mehr berücksichtigt. Zur Durchführung dieser Funktionen empfängt das Schaltnetz RM von seinem Modul CPU über die Sammelleitung bn und eine Verbindung 37, nachdem vom Schaltnetz LS1 über die Verbindung 315 ein Ansteuersignal gekommen ist, geeignete Maskierungsbefehle, die sich auf bestimmte Unterbrechungs-Signale beziehen. Das Schaltnetz RM speichert die entsprechenden Sperrsignale und sendet sie über Leiter 316 bzw. 317 zu den Schaltungen IR1 und IR2.

/40

Die Moduln MAC gemäß Fig. 1, die in den Speicherbanken BM_1 als Verknüpfungs-Schaltnetz dienen, enthalten gemäß Fig. 4 n Sender-Empfänger \overline{DR} , nämlich $\overline{DR_1}$, $\overline{DR_2}$, ..., $\overline{DR_n}$, deren Senderteil auch als Treiber bezeichnet werden kann und deren Aufbau gleich demjenigen der Sender-Empfänger DR_1 , DR_2 , ..., DR_k gemäß Fig. 3 ist. Wird beispielsweise angenommen, daß sich der Schaltplan nach Fig. 4 auf den Modul MAC in der Speicherbank BM_k nach Fig. 1 bezieht, so dienen die Sender-Empfänger $\overline{DR_1}$, $\overline{DR_2}$, ..., $\overline{DR_n}$ gemäß Fig. 4 als Empfänger bzw. Sender-Treiber für die Sammelleitungen $C1_k$, $C2_k$, ..., Cn_k .

Ein Block BB_2 und ein Verknüpfungs-Schaltnetz LS_2 haben einen gleichen Aufbau wie der Block BB_1 bzw. das Verknüpfungs-Schaltnetz LS_1 nach Fig. 3, und zwar ist der Block BB_2 bidirektionell über eine Verbindung 42 mit den n Sender-Empfängern $\overline{DR_1}$, $\overline{DR_2}$, ..., $\overline{DR_n}$ und über eine Verbindung 43 mit der Sammelleitung 1_k verbunden, während das Schaltnetz LS_2 mit der Sammelleitung 1_k bidirektionell über eine Verbindung 44 und mit den verschiedenen Sender-Empfängern \overline{DR} über eine Verbindung 45 verbunden ist. Das Verknüpfungs-Schaltnetz LS_2 sendet über einen Leiter 46 an den Block BB_2 ein Aktivierungssignal, das die Richtung des Datendurchgangs durch den Block BB_2 bestimmt.

Eine übliche Zeitschaltung TO begrenzt zeitlich die gerade ablaufende Operation, um mögliche durch Fehler verursachte Blockierungen zu vermeiden. Diese Zeitschaltung empfängt vom Verknüpfungs-Schaltnetz LS_2 über eine Verbindung 47 ein Aktivierungssignal in Übereinstimmung mit dem Anfang einer gegebenen Operation. In einer eventuellen Anhaltesituation signalisiert sie diese über die selbe Verbindung 47 und sendet ein "Unterbrechungs"-Signal über einen Leiter 48 zu sämtlichen Sender-Empfängern \overline{DR} .

Welche der Sender-Empfänger $\overline{DR_1}$, $\overline{DR_2}$, ..., $\overline{DR_n}$ für eine Kommunikation mit dem Schaltnetz LS_2 und dem Block BB_2 angesteuert werden müssen, entscheidet eine logische Schaltung ARB , die

zu diesem Zweck von jedem der Sender-Empfänger $\overline{DR1}$, $\overline{DR2}$, ..., \overline{DRn} über Leiter $p1$, $p2$, ..., bzw. p_n eine mögliche Kommunikationsanforderung empfängt. Diese Leiter werden periodisch abgetastet, bis sie das Vorliegen eines oder mehrerer Anforderungen erkennen lassen, woraufhin die weitere Abtastung angehalten wird und der Zugang entsprechend einem vorgegebenen Prioritätsgesetz vergeben wird.

Die weitere Abtastung der Leiter $p1$, $p2$, ..., p_n wird erst wieder aufgenommen, nachdem alle bei der ersten Abtastung vorgefundenen Anforderungen bedient worden sind, so daß verhindert wird, daß aufgrund von Fehlern ein Anhalten erfolgt und daß ein Modul CPU mit hoher Priorität für die Zugänge bevorzugt wird.

Nachdem die logische Schaltung ARB entschieden hat, welcher der Sender-Empfänger zu verbinden ist, sendet sie an diesen Sender-Empfänger ein Ansteuerungssignal über einen von Leitern $SW1$, $SW2$, ..., SW_n , über die zu diesem Zweck die Schaltung ARB mit den Sender-Empfängern \overline{DR} verbunden ist. An das Verknüpfungsschaltnetz LS2 meldet die logische Schaltung ARD über eine Verbindung 49 den Anfang und das Ende der Verbindung mit den einzelnen Sender-Empfängern DR .

Der Modul umfaßt einen üblichen Taktgeber BT2, der über eine Verbindung 41 elementare Taktsignale erzeugt, die für den Betrieb der logischen Schaltung ARB, des Schaltnetzes LS2 und der Zeitschaltung T0, mit denen er über die Verbindung 41 verbunden ist, benötigt werden.

Fig. 5 zeigt das System in einer Ausführungsform als "Monoprozessor", mit einem der als Eingangs-Ausgangs-Schnittstellen-schaltung dienenden Moduln I, einem der als Speicher dienenden Moduln M und einem der als Verarbeitungs-Einheit dienenden Moduln CPU mit der gleichen Bedeutung wie in Fig. 1, wobei der Modul CPU ebenfalls allein oder in sich dupliziert sein kann. Monoprozessoranordnungen wie diejenigen nach Fig. 5 sind in der

Technik an sich bekannt und brauchen hier, nachdem die spezielle Betriebsweise des Moduls CPU bereits beschrieben ist, nicht mehr weiter im einzelnen beschrieben zu werden.

Auch die in Fig. 6 dargestellte Anordnung als "Monoprozessor mit getrennter Vorverarbeitung" umfaßt die Moduln \bar{I} , M und CPU wie in den zuvor beschriebenen Schaltungen, jedoch mit der Besonderheit, daß der Modul CPU in der linken Zeichnungshälfte speziell für die Vorverarbeitungsoperationen bestimmt werden kann, während der andere vollständig zum Durchführen der normalen Verarbeitungsoperationen bestimmt werden kann. Auf diese Weise kann die Verarbeitungskapazität der "Monoprozessor"-Struktur stets durch die Hinzufügung weiterer Moduln des gleichen Typs erhöht werden. Mit einer derartigen Konfiguration muß jedoch das Ergebnis der vom hierfür spezifischen Modul CPU durchgeführten Vorverarbeitung dem anderen Modul CPU für die nachfolgenden Verarbeitungsoperationen zugänglich gemacht werden.

Zu diesem Zweck ist ein normaler Speicher MB mit zwei Eingängen, die mit zwei Sammelleitungen d_1 , d_2 , die jeweils einem der Moduln CPU zugeordnet sind, verbunden. Derartige Speicher wie der Speicher MB mit zwei Eingängen, die als "bi-port" bezeichnet werden, bestehen aus einem normalen Speicher von an sich bekannter Art und einer internen Logik, die die Zugriffsanforderungen auswählt bzw. entscheidet. Die Zugänge zum Speicher, nämlich zu lesende oder zu schreibende Daten, Adressen, Schreibbefehle und Lesebefehle, können unmittelbar und unabhängig durch die beiden asynchronen Sammelleitungen d_1 und d_2 erreicht werden, die von der gleichen Art sind wie die bereits beschriebene Sammelleitung b_n (Fig.1). Die die Zugriffsanforderungen entscheidende Logik entscheidet aufgrund der zeitlichen Priorität des Eintreffens der Anforderungen, welcher Zugriff zu verwenden ist, und entscheidet im Fall gleichzeitigen Eintreffens auf der Grundlage eines Alternier-Kriteriums. Der Aufbau nach Fig. 6 kann dann verwendet werden, wenn eine höhere Zuverlässigkeit verlangt wird, als sie die einfache Monoprozessor-Struktur nach Fig. 5 liefern kann.

- 43 -

Das erfindungsgemäße System dupliziert mit Parallelismus-Überprüfung ist in Fig. 7 anhand zweier Verarbeitungseinheiten U_1 , U_2 veranschaulicht, von denen jede im wesentlichen aus den Modulen I, M und CPU, die bereits im Zusammenhang mit Fig. 5 beschrieben wurden, und einem Modul IOP besteht, das aus einer parallelen Eingang-Ausgang-Schnittstellenschaltung von an sich bekannter Art besteht, in der jedoch einige Veränderungen durchgeführt sind, wie noch beschrieben wird.

Die verschiedenen Module jeder der beiden Verarbeitungseinheiten U_1 und U_2 sind miteinander jeweils über eine Sammelleitung z_1 bzw. z_2 von gleicher Art wie die Sammelleitung bn (Fig. 2a) verbunden. Die beiden Module IOP (Fig. 7) sind miteinander über eine Verbindung 81 verbunden. Die beiden Einheiten U_1 und U_2 verarbeiten die einkangsseitig empfangenen Daten in gleicher Weise, jedoch gilt nur eine der beiden Einheiten als selbstständige, führende Einheit ("master") und ist vom Programm in die Lage versetzt, die Ergebnisse ausgangsseitig abzugeben. Gemäß den Operationsmodalitäten der verschiedenen über die Schnittstellenschaltungs-Module I an die Schaltung nach Fig. 7 angeschlossenen peripheren Einheiten können die Eingangsdaten entweder beiden Einheiten U_1 und U_2 parallel eingegeben werden, oder können nur einer von ihnen eingegeben werden, nämlich der zu diesem Zeitpunkt als führende Einheit dienenden Einheit.

Im ersteren Fall werden die parallel am Eingang empfangenen Daten vor der Durchführung der Datenverarbeitung über die Schnittstellenschaltungs-Module IOP zur Sicherung ihrer Übereinstimmung ausgetauscht und verglichen. Im letzteren Fall werden die von der führenden Einheit empfangenen Daten über den Modul IOP vor der Durchführung der Datenverarbeitung zur anderen, geführten Einheit ("slave") gesendet. Wenn es während der Verarbeitung erforderlich ist, die Daten über die Schnittstellenschaltungs-Module I nach außen abzugeben, so müssen diese Daten vorher zur Überprüfung der Richtigkeit der von den beiden Einheiten U_1 und

U2 durchgeführten Verarbeitungen ausgetauscht und verglichen werden, was ebenso wie bei den Eingangsdaten über die Schnittstellenschaltung-Moduln IOP und die Verbindung 81 erfolgt.

Ersichtlich bringen diese bei einem duplizierten Aufbau mit Parallelismus-Überprüfung notwendigen Austausche hinsichtlich einer einfachen Datenverarbeitung eine gewisse "Kopflastigkeit" mit sich, wenn sie mit Hilfe von Schnittstellenschaltungs-Moduln IOP von bekannter Bauart durchgeführt werden. Zur Vermeidung dieses Nachteils können im Rahmen der Erfindung diese Moduln in besonderer Weise ausgebildet sein, um die durch sie hindurch stattfindenden Datenaustausche zu beschleunigen.

Bekannte parallele Schnittstellenschaltungen sehen in der der Verbindung 81 entsprechenden Verbindungsleitung sowohl für die Sendekanäle als auch für die Empfangskanäle das Vorhandensein von zwei Signalen vor, die im folgenden als dr_t und dp_r bezeichnet werden. dr_t ist die von der peripheren Einheit, die mit dem Sendekanal verbunden ist, gegebene Antwort, daß ein Datum gespeichert worden ist, und dp_r ist im Empfangskanal die von der peripheren Einheit kommende Signalisierung, daß ein Datum gesendet worden ist. Diese Signale bewirken in bekannter Weise eine an den Modul CPU, der der an der Operation beteiligten Schnittstellenschaltung zugeordnet ist, gesendete Anforderung nach Unterbrechung.

Bei einer parallelen Schnittstellenschaltung bekannter Art, die mit dem Modul CPU verbunden ist, wird das bereits beschriebene Signal rpl innerhalb der Schnittstellenschaltung als ODER-Verknüpfungsergebnis von zwei Signalen rpl_r und rpl_t erzeugt. Diese Signale sind die Antwort der Schnittstellenschaltung auf Signale β und γ (Fig.2c), die es dem Modul CPU (Fig.7) ermöglichen, die zu den Schnittstellenschaltungen gehörenden Empfangs- und Sende-Puffer zu lesen und in sie zu schreiben...

Die hier beschriebene Besonderheit bezieht sich auf die Erzeugung des Signals rpl innerhalb des Schnittstellenschaltungs-Moduls IOP und besteht darin, daß das Signal rpl_t beim Senden mit Hilfe des Signals dr_t und das Signal rpl_r beim Empfangen mit Hilfe des Signals dp_r bedingt, also konditioniert wird. Entsprechend der booleschen Formel entspricht dies der Erzeugung der Antwort rpl nach der Formel:

$$rpl = rpl_t \cdot dr_t + rpl_r \cdot dp_r \quad (4)$$

anstelle der Formel

$$rpl = rpl_t + rpl_r \quad (5)$$

Die schaltungstechnische Verwirklichung der Formel kann dem Fachmann überlassen bleiben. Sie erlaubt die Beschleunigung des Datenaustauschs zwischen den Schnittstellenschaltungs-Modulen IOP, da sie verhindert, daß der Modul CPU unter Programmsteuerung vor jedem ausgetauschten Datum die Anwesenheit der Signale dr_t und dp_r in Registern "Überprüfung und Zustand", die allgemein in Schnittstellenschaltungen wie IOP vorhanden sind, überprüft.

Sofern während der Verarbeitung keines der die beiden Einheiten U1 und U2 steuernden logischen Schaltnetze der Moduln CPU einen Fehler festgestellt hat und desungeachtet die Übereinstimmungs-Überprüfung der Ausgangsnachrichten ein negatives Ergebnis erbracht hat, werden diese letzteren Nachrichten nicht abgegeben und die beiden Einheiten U1, U2 beginnen ein Programm-Rekonfigurations-Vorgehen, das dazu dienen soll, die aufgrund eines unentdeckten Ausfalls den Fehler verursacht habende Einheit festzustellen und abzusondern.

Es ist beachtenswert, daß dann, wenn der Modul CPU jeder der Einheiten U1 und U2 intern dupliziert ist und so Selbstdiagnosefähigkeiten hat, dieses Rekonfigurationsvorgehen dadurch ver-

einfacht ist, daß es die Verarbeitungskorrektheit der Moduln CPU nicht zu überprüfen braucht.

Stellen andererseits während der Verarbeitung die der Steuerung und Kontrolle dienenden logischen Schaltnetze im Modul CPU in einer der beiden Einheiten U1 und U2 einen Fehler fest, so wird diese Tatsache durch einen Unterbrechungs-Vorgang über die Schnittstellenschaltung-Moduln IOP an die andere Einheit gemeldet. Als Folge hiervon wird die Einheit, die den Fehler gemeldet hat, aus der Operation herausgenommen und die Verarbeitung setzt sich ohne Verlust der Kontinuität in Einzelkonfiguration fort.

Die zur Meldung eines Fehlersauftretens über die Moduln IOP angewandten Modalitäten sind in Abhängigkeit davon unterschiedlich, ob der Fehler außerhalb oder in dem Modul CPU festgestellt wird. Im ersteren Fall wird der Signalisierungsvorgang vom Modul CPU programmgesteuert, während im letzteren Fall, in dem der Modul CPU offensichtlich nicht mehr in der Lage ist, die Befehle zu bewirken, der Meldevorgang der zur Sammelleitung z1 gehörenden Selbstdiagnose-Verbindung 282 (Fig.2a) des Moduls CPU selbst überlassen wird. Dies sieht im einzelnen folgendermaßen aus:

Es sei angenommen, daß die Verarbeitungseinheit U1 die Einheit mit Fehler ist. Der mit der Sammelleitung z1 verbundene Modul IOP greift dann den Zustand auf der Verbindung 282 der Sammelleitung z1 ab und gibt ihn an die Verbindung 81. Dieses Signal trifft bei dem mit der Sammelleitung z2 verbundenen Modul IOP ein und bewirkt dort einerseits die Erzeugung eines Unterbrechungssignals, das an den Modul CPU der Einheit U2 aufgrund der Übertragungsmodalitäten, die beim normalen Datenaustausch zwischen U1 und U2 angewandt werden, gesendet wird, und bewirkt andererseits die Aktivierung eines gegebenen Bits des "Steuerung und Zustand"-Registers des Moduls IOP. Auf diese Weise kann der Modul CPU der Einheit U2, nachdem er ein Eingangssig-

nal empfangen hat, den Zustand dieses Registers überprüfen und das Auftreten eines Fehlers in der Einheit U1 bemerken.

Eine Ausführungsform mit dem Aufbau "duplizierte Anordnung mit Parallelismus-Überprüfung und getrennter Vorverarbeitung" gemäß Fig. 8 arbeitet weitgehend gleich wie der Aufbau nach Fig. 7, jedoch sind die beiden duplizierten Einheiten nicht von der Art nach Fig. 5, sondern von der Art nach Fig. 6, so daß die Operation mit getrennter Verarbeitung und die Operation in dupliziertem Aufbau miteinander kombiniert sind.

Der Schaltungsaufbau nach Fig. 9 gleicht im wesentlichen demjenigen nach Fig. 1, er ist jedoch insofern abgeändert, als die dort verwendeten Verarbeitungseinheiten UP1, ..., UPn (Fig. 1) nun durch eine gleiche Zahl von Verarbeitungseinheiten der in Fig. 6 dargestellten Art ersetzt sind, die, da es sich um eine Multiprozessor-Anordnung handelt, mit Moduln MEI integriert sind, um Zugriff zum gemeinsamen Speicher zu erhalten. Ersichtlich ist in diesem Fall ebenso wie bei den Schaltungen nach den Fig. 6 und 8 die Verarbeitungskapazität der einzelnen Verarbeitungseinheiten erhöht, ohne daß deren Anzahl erhöht ist, was sonst zu einer Überlastung des Verbindungs-Netzwerks mit dem gemeinsamen Speicher führen würde. Der Betrieb der Schaltungsanordnung nach Fig. 9 stimmt mit dem Betrieb der Schaltungsanordnung nach Fig. 1 überein, soweit er hier noch beschrieben wird.

Die bisher beschriebenen Schaltungsanordnungen stellen Grundstrukturen von Verarbeitungseinheiten dar, die leicht in komplizierteren Aufbauweisen miteinander verbunden werden können, und zwar sowohl mit gleichgeschalteter Organisation, also ohne funktionelle Unterscheidung zwischen den verschiedenen Einheiten, als auch in hierarchischer Organisation, also mit einer Verteilung der verschiedenen Einheiten in verschiedenen einander untergeordneten Ebenen, wobei jede Einheit durch eine spezifische Funktion charakterisiert ist. Die Verwirklichung eines

solchen Aufbaus wird durch ausschließliche Verwendung der anhand der verschiedenen Aufbaue beschriebenen elementaren Moduln realisiert. Im einzelnen dargestellt, genügt es dann, wenn der körperliche Abstand zwischen den verschiedenen Grundstrukturen eines gegebenen Aufbaus verhältnismäßig klein ist, die Verbindung zwischen den Strukturen durch Verwendung der anhand der Fig. 6, 8 und 9 beschriebenen "bi-port"-Speicher MB herzustellen, während es andernfalls erforderlich ist, die bereits beschriebenen Schnittstellenschaltungs-Moduln I zu verwenden.

Als Beispiel seien zwei Aufbaue der hierarchischen Art, die sicherlich bezeichnender ist als die gleichgeschaltete ("demokratische") Art, beschrieben.

Fig. 10 zeigt ein Beispiel eines Aufbaus hierarchischer Organisation, mit zwei Ebenen zwischen benachbarten Verarbeitungseinheiten und Verwendung nur von "bi-port"-Speichern MB für die gegenseitige Verbindung. Bei diesem Aufbau wird das Ergebnis der von den Vorverarbeitungseinheiten der unteren Ebene (in der Zeichnung links) für die Einheit der höheren Ebene (in der Zeichnung rechts) mit Hilfe des gemeinsamen Zugriffs zum selben "bi-port"-Speicher MB zugänglich gemacht. Es ist zu beachten, daß die Einheit der höheren Ebene auch aus Einheiten der anhand der Fig. 1, 5 und 7 beschriebenen Art bestehen kann.

Fig. 11 zeigt ein weiteres Beispiel eines Aufbaus mit einer in zwei hierarchischen Ebenen organisierten Schaltung der Art nach Fig. 10, jedoch mit entfernten Einheiten, die über Schnittstellenschaltungs-Moduln der Art I angeschlossen sind. In diesem Fall müssen die Verarbeitungsergebnisse zur Einheit der höheren Ebene mit einer geeigneten Austauschregel gesendet werden, die auch eine Überprüfung der Fehlerfreiheit ermöglicht. Beim dargestellten Beispiel besteht die Einheit der höheren Ebene aus einem Multiprozessoraufbau wie demjenigen nach Fig. 1.

Ersichtlich ist zur Sicherstellung der Funktionsfähigkeit des gesamten Systems, insbesondere der Einheiten der niedrigeren Ebene, im Fall eines Fehlers einer der Verarbeitungseinheiten (UP) des Multiprozessors eine Duplikation der von jeder Einheit der unteren Ebene ausgehenden Verbindungsleitungen und somit der Schnittstellenschaltungs-Moduln I notwendig sowie auch die Verbindung der Ausgangsklemmen mit zwei verschiedenen Verarbeitungseinheiten (UP), wie es in der Zeichnung dargestellt ist.

Hinsichtlich der Verbindung der zum erfindungsgemäßen System zusammengestellten Einzelschaltungen untereinander wird, soweit diese Verbindungen nicht bereits beschrieben worden sind, zur Entlastung der Beschreibung auf die Zeichnung verwiesen.

Im folgenden wird der Betrieb des erfindungsgemäßen Verarbeitungssystems unter spezieller Bezugnahme auf den Multiprozessoraufbau nach Fig. 1 näher beschrieben. Der Betrieb der in den Fig. 5, 6, 7, 8, 9, 10 und 11 dargestellten Aufbaue ist bereits beschrieben worden und hierzu bedarf es keiner weiteren Erläuterung.

Wie erwähnt, arbeitet das System im Fall nach Fig. 1 in einem Aufbau als "Multiprozessor" mit n Verarbeitungseinheiten UP und k Speicherbanken BM. Bekanntlich besteht ein Multiprozessorsystem prinzipiell aus zwei oder mehr als zwei zentralen Verarbeitungseinheiten, von denen jede Zugang zum gemeinsamen Speicher auf unabhängige Weise hat. Beim beschriebenen Multiprozessor sind die zentralen Verarbeitungseinheiten die Einheiten UP1, UP2, ..., UP n und besteht der zentrale Speicher aus den Speicherbanken BM1, BM2, ..., BM k .

Die Anpassung der Verarbeitungskapazität, der Speicherkapazität und der Zuverlässigkeit des Multiprozessorssystems an die praktischen Anforderungen wird durch Verbindung einer geeigneten Anzahl von zentralen Verarbeitungseinheiten und von Speicherbanken bewerkstelligt.

Der als zentrale Verarbeitungseinheit dienende Modul CPU kann in Einzelkonfiguration oder in intern duplizierter Konfiguration sowohl unmittelbar zum internen Speicher M als auch über die logischen Moduln MEI und MAC zu den Speicherbanken BM des gemeinsamen externen Speichers Zugriff haben. Ersichtlich ist der Zugriff der Moduln CPU zum mit den Sammelleitungen b verbundenen internen Speicher schneller als derjenige zum mit den Sammelleitungen l verbundenen äußeren Speicher, so daß also der interne Speicher, außer daß er die auf die Verarbeitungseinheit UP, zu der er gehört, bezogenen spezifischen Daten enthält, auch, in jeder Verarbeitungseinheit UP wiederholt, denjenigen Teil des Programms enthalten kann, der häufiger verwendet wird.

Das Auswahlkriterium zwischen den beiden Speichern wird durch den Wert der physikalischen Adresse bestimmt, die am Ausgang der Adressen-Expandereinheit UEA (Fig.2a) auf der Basis der von der Decoderschaltung D bewirkten Decodierung der τ_2 Bits bewirkt wird, vorhanden sind: für Adressen, die niedriger als eine gegebene Schwelle sind, wird der Zugriff unmittelbar beim internen Speicher bewirkt, der durch Decodierung der auf der Sammelleitung b liegenden Adresse die Anforderung nach einem Zugriff bei sich selbst erkennt; für die Schwelle überschreitende Adressen wird hingegen die Rückformungseinheit RIC beteiligt. Diese Einheit RIC meldet aufgrund des Inhalts ihrer eigenen Register an den als Sammelleitungsvervielfacher dienenden Modul MEI die Identität der am Zugriff beteiligten Speicherbank BM. Als Ergebnis wird nur diejenige Sammelleitung aktiviert, die unmittelbar die betreffende Verbindungseinheit UP mit der ausgewählten Speicherbank BM verbindet, beispielsweise die Sammelleitung C12, die die Verarbeitungseinheit UP1 mit der Speicherbank BM2 verbindet.

Die Verbindung zwischen den zentralen Einheiten UP und den Speicherbanken BM durch die Moduln MEI und MAC und die Sammelleitungen C löst im wesentlichen Verkehrs- und Zuverlässigkeits-

probleme, da sie einerseits ohne Verstopfung einen schnellen Zugriff der zentralen Einheit UP zu den Speicherbanken BM ermöglicht und andererseits im Fall eines Fehlers die fehlerhafte Einheit, die entweder eine Verarbeitungseinheit UP oder eine Speicherbank BM sein kann, zu beschränken und abzutrennen erlaubt, ohne daß der Betrieb des gesamten Verarbeitungssystems fehlerhaft wird.

Der gemeinsame Speicher ist in die getrennten Speicherbanken BM1, BM2, ..., BMk unterteilt, indem eine Teilung nach den physikalischen Adressen angewandt wird; hierbei wird aufeinanderfolgenden Adressen die Speicherstelle in verschiedenen Banken gemäß einer bekannten Technik zuordnet, die im Fremdwort gewöhnlich als "memory interleaving" bezeichnet wird.

Das im beschriebenen Fall befolgte Gesetz kombiniert die Zuordnung der selben Speicherbank zu all den Adressen, die bei der Teilung durch die gegebene Zahl k_p primärer Banken den selben Rest aufweisen. Beispielsweise liegen im einfachen Fall, daß $k_p = 4$, mit primären Banken BM1, BM2, BM3 und BM4, die Adressen 0, 4, 8, ... in der Bank BM1, die Adressen 1, 5, 9 ... in der Bank BM2, die Adressen 2, 6, 10 ... in der Bank BM3 und schließlich die Adressen 3, 7, 11 ... in der Bank BM4. Auf diese Weise ist der Verlust der gesamten Verarbeitungskapazität aufgrund der Warteschlange der Verarbeitungseinheit UP in Bezug zum Zugang zum Speicher vermieden, da die Befehle eines Programms im allgemeinen durch aufeinanderfolgende Adressen ausgeführt werden.

Die Banken BM können entweder in Einzelanordnung oder aus Gründen der Zuverlässigkeit in duplizierter Anordnung sein. Für einige Anwendungen wie beispielsweise Steuerungen des Fernsprechdienstes ist es besonders wichtig, daß das System durch Verwendung automatischer Rekonfigurationsmöglichkeiten selbst beim Auftreten aufeinanderfolgender Fehler, die nicht sogleich repariert werden, weiterläuft.

Es sind folglich im ersteren Fall, also bei Einzelkonfiguration, die k Speicherbanken in k_p primäre Banken und k_r zusätzliche, also Reserve-Banken unterteilt ($k_s = 0$). Im letzteren Fall, also mit duplizierter Konfiguration, sind die k Banken in k_p primäre Banken, $k_s = k_p$ sekundäre Banken und k_r zusätzliche Banken unterteilt. Die k_s sekundären Banken enthalten unter stetiger Fortschreibung die gleiche Information, wie sie in den Primärbanken enthalten ist. Die operative Konfigurationsweise mit Speicherbanken in einzelner oder duplizierter Konfiguration ist in jeder Verarbeitungseinheit UP (Fig.1) in das Bit des Signals s_d codiert, das im Register RS (Fig.2a) des betreffenden Moduls CPU enthalten ist.

Im Fall des Betriebs in Einzelkonfiguration sind nur die k_p primären Banken beteiligt, während die zusätzlichen k_r Banken nur im Fall von Fehlern beteiligt werden. Die Verarbeitung an den primären Banken wird in einer dem Fachmann an sich bekannten Art und Weise durchgeführt, so daß sich weitere Erklärungen erübrigen.

Der Ersatz einer fehlerhaften primären Bank durch eine zusätzliche Bank erfolgt in sehr einfacher Weise durch Ersatz der Codierung der fehlerhaften primären Bank durch die Codierung der vom Programm für den Ersatz gewählten zusätzlichen Bank in der Rückformungseinheit RIC (Fig.2a) gemäß dem bereits beschriebenen Vorgehen.

Im Fall eines Betriebs mit duplizierter Konfiguration sind sowohl die k_p primären Banken als auch die k_s sekundären Banken beteiligt, während die k_r zusätzlichen Banken nur im Fall eines Ausfalls sowohl einer Primärbank als auch einer Sekundärbank beteiligt werden. Die Rückformungseinheit RIC teilt auf der Grundlage der vom Register RS über die Verbindung 225 und den Multiplexer MXC erhaltenen Information die Zugriffsadressen zum gemeinsamen Speicher BM der primären Bank, der sekundären Bank oder beiden entsprechend der gewünschten Funktion zu.

Da die Funktion des Einholens von Befehlen, im technischen Fremdwort als "instruction fetch" bezeichnet, hinsichtlich der im gemeinsamen Speicher BM (Fig.1) gespeicherten Programme von der einzelnen Einheit UP beispielsweise durch Arbeiten an der primären Bank oder an ihrer in der entsprechenden sekundären Bank vorhandenen Kopie durchgeführt werden kann, ist es durch Teilung der Einheiten UP in zwei Gruppen und Qualifizierung jeder Einheit UP von jeder Gruppe als "primär oder sekundär" möglich, eine Teilung der Belastung der Zugriffsanforderungen für den "instruction fetch" des Programms im gemeinsamen Speicher durchzuführen. Da andererseits die Funktion, Daten in den gemeinsamen Speicher zu schreiben, jedenfalls sowohl an der primären Bank als auch an der in der entsprechenden sekundären Bank vorhandenen Kopie durchgeführt werden muß, ist es möglich, aufgrund des am Ausgang des Registers RS (Fig.2a) vorhandenen qualifizierenden Bits des Signals sd, das gegenwärtig im Duplikationszustand d ist, das selbe Datum mit der selben Adresse zuerst an der primären Bank und dann an der sekundären Bank zu schreiben. Da die Funktion, Daten vom Speicher BM (Fig.1) zu lesen, von der einzelnen Einheit UP durch indifferentes Arbeiten entweder an der primären oder an der entsprechenden sekundären Bank durchgeführt werden kann, ist es im normalen Betrieb möglich, analog zum vorherigen Vorgehen für den "instruction fetch", eine Teilung der Belastung der Anforderungen durch Teilung der Einheiten UP in primäre und sekundäre Einheiten UP zu erreichen.

Im Fall von Operationen des Lesens und Schreibens eines Datums bezüglich eines Befehls "test und set" muß, da wie beschrieben das Schreiben der Daten in der zeitlichen Folge zuerst auf der primären Bank und dann auf der sekundären Bank erfolgt, ein Lesen dieser Daten stets nur in der primären Bank durchgeführt werden, um sicherzustellen, daß die Information eindeutig ist, so daß also während der Funktion "test und set" das Lesen der Daten entsprechend dem Mikroprogramm auf der primären Bank dadurch bewirkt wird, daß über den Multiplexer MXC (Fig.2a), der vom Signal S1 gesteuert wird, das dieser Funktion entsprechende qualifizierende Bit gewählt wird, das am Ausgang des Registers

RS auf der Verbindung 225 liegt.

Sollte eine primäre oder sekundäre Bank ausfallen, so findet der Ersatz durch die zusätzlichen Banken entsprechend den im Zusammenhang mit dem Fall der Operation in Einzelkonfiguration beschriebenen Regeln statt.

Der spezielle Aufbau der logischen Schaltung der Rückformungseinheit RIC erlaubt es dem System, auch dann weiterzulaufen, wenn aufeinanderfolgende nicht reparierte Fehler sämtliche zusätzlichen anfangs vorhandenen k_r Banken verbraucht haben. In diesem Fall ist es tatsächlich möglich, eine nachfolgende Degradierung des Systems zu einer Einzelkonfiguration durchzuführen, und zwar in aufeinanderfolgenden Phasen, bis die Gesamtzahl der verbleibenden Banken niedriger wird als die anfangs vorgesehene Anzahl k_p von primären Banken. Im einzelnen ist es, wenn einmal sämtliche zusätzlichen Banken schon verbraucht sind, immer noch möglich, daß, sobald ein Fehler entweder in einer primären oder einer sekundären Bank BM (Fig.1) auftritt, die fehlerhafte Bank durch eine Bank, die ihre Kopie ist, ersetzt wird, indem einfach in der Einheit RIC (Fig.2a) der Code der fehlerhaften Bank durch den Code der Bank, die ihre Kopie darstellt, ersetzt wird. Ersichtlich ist in diesem Fall eine der Banken nicht mehr dupliziert.

Tritt ein weiterer Fehler in einer der noch duplizierten Banken auf, so gleicht die Vorgehensweise der beschriebenen mit der Konsequenz, daß es nun zwei Banken ohne Duplikation gibt. Tritt andererseits der Fehler in der nicht mehr duplizierten Bank auf, so ist eine automatische Rekonfiguration immer noch möglich, indem wiederum die Codes der Banken in der Einheit RIC so zugeordnet werden, daß einer der noch duplizierten Banken die Duplikation entzogen wird und die fehlerhafte Bank durch die so zur Verfügung gestellte Bank ersetzt wird. Auf diese Weise kann im Fall weiterer nicht reparierter Fehler fortgeschritten werden, bis sich sämtliche Banken in Einzelkonfiguration befinden.

Es ist bemerkenswert, daß in allen diesen Fällen mit Ausnahme des letzten Falles aufgrund der Vielseitigkeit der Rückformungseinheit RIC die Rekonfiguration sehr schnell erfolgen kann, also ohne Austausche mit äußeren nicht flüchtigen Großspeichern und ohne jeden Informationsverlust. Bekanntlich sind solche Fähigkeiten insbesondere im Fall von Verarbeitungssystemen wichtig, die der Steuerung von Fernsprechoperationen dienen.

Zusätzlich zu den soeben beschriebenen Einzelkonfigurationen und duplizierten Konfigurationen ist es auch möglich, auf hybride Weise zu arbeiten, also in keiner von beiden Konfigurationen ausschließlich, wie sich aus dem folgenden Beispiel ergibt.

Ein erster Fall tritt ein, wenn es in der duplizierten Konfiguration aus Gründen der erforderlichen Fortschreibung der Systemtätigkeiten notwendig ist, gleichzeitig das Programm mit den alten Tätigkeiten und das neue fortgeschriebene Programm durchzuführen. Dieses Erfordernis tritt sehr oft auf, beispielsweise bei der Steuerung von Fernsprech-Vermittlungsstellen mit gespeichertem Programm.

In diesem Fall wird eine der Verarbeitungseinheiten UP (Fig.1) aus der normalen Verarbeitung herausgenommen und dem Testen des neuen Programms zugewiesen. Während also alle Einheiten UP mit Ausnahme der gewählten Einheit Zugriff zu den kp primären Banken, die das alte Programm enthalten, haben, hat die gewählte Einheit UP Zugang zu den ks sekundären Banken, in denen das neue Programm zuvor gespeichert worden ist. Sobald die Richtigkeit des neuen Programms überprüft ist, werden die verbleibenden Einheiten UP aufeinanderfolgend zum Arbeiten auf das neue Programm geschaltet, unter ständigem Zugriff zu den ks sekundären Banken, die neue Programme enthalten. Nachdem die letzte der Einheiten UP auf das neue Programm umgeschaltet ist, wird dieses neue Programm wiederum auch in die kp primären Banken kopiert, so daß Anfangsbedingungen der duplizierten

Konfiguration hergestellt sind.

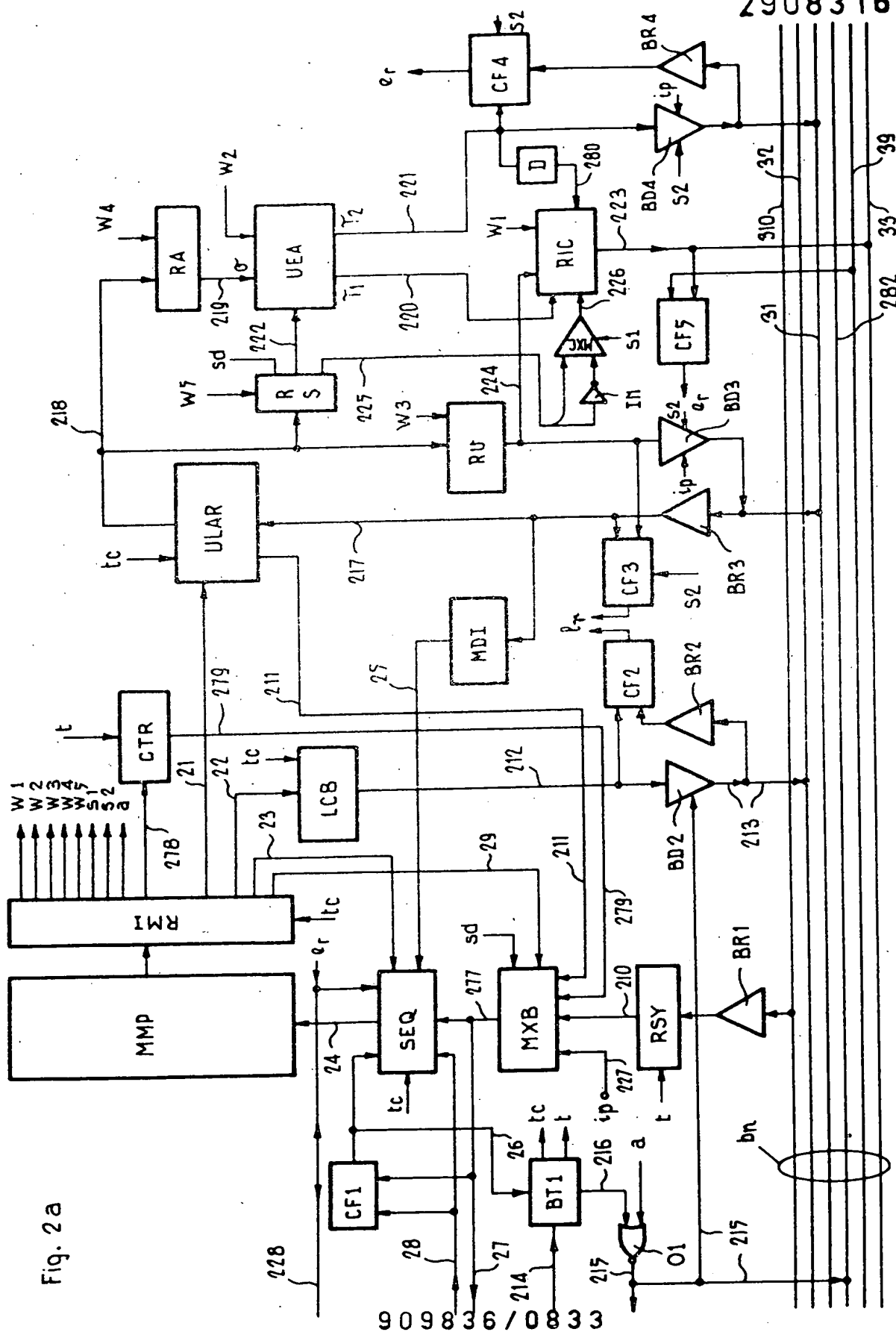
Es ist für diesen Zweck hervorzuheben, daß die soeben beschriebene Operation des Fortschreibens der Programme ohne Bewirkung irgendeiner Unterbrechung im normalen Dienst durchgeführt wird, und zwar aufgrund der operativen Vielseitigkeit der Rückformungseinheit RIC (Fig.2a).

Im folgenden wird beschrieben, wie die Kommunikationen unter den Verarbeitungseinheiten UP (Fig.1) stattfinden, und zwar unter spezieller Bezugnahme auf die Modalitäten zum Übertragen des "Unterbrechungssignals" von einer der Einheiten UP zu allen anderen. Der Informationsaustausch unter den Verarbeitungseinheiten erfolgt über den gemeinsamen Speicher BM gemäß einer allgemein als "Briefkasten" ("mail box") bezeichneten Technik, die im wesentlichen daraus besteht, daß für die zu kommunizierende Information nahe spezialisierte Speicherstellen zugänglich gemacht werden. Hierbei lesen dann die beteiligten Verarbeitungseinheiten diese Information entweder periodisch (Datenabruftechnik) oder nach einer Anregung (Unterbrechungstechnik). Beide Verfahren können im Rahmen der Erfindung angewandt werden. Die Datenabruftechnik läuft nach in der Technik an sich bekannten Regeln ab und braucht deshalb hier nicht mehr im einzelnen beschrieben zu werden. Die Unterbrechungstechnik wird hingegen in neuer Weise angewandt und wird im folgenden genauer untersucht.

Die Einheit UP, die in ihrem Speicher die zu übertragende Nachricht speichert und die nachfolgenden Einheiten zu informieren wünscht, sendet ein "Unterbrechungssignal" an alle anderen Einheiten UP, indem sie die bereits existierenden physikalischen Wege, bestehend aus MEI, MAC und den Sammelleitungen C, ohne weitere Verbindung zwischen den Verarbeitungseinheiten verwendet. Das "Unterbrechungs-Signal" wird in der Schaltung IT (Fig.3) des Moduls MEI der Verarbeitungseinheit auf Empfang eines vom zugehörigen Modul CPU (Fig.2a) über die Verbindungen

31, 32 und 34 eintreffenden Befehls hin erzeugt und wird dann über die Sender-Empfänger DR (Fig.3) und die dazugehörigen Sammelleitungen C (Fig.1) zu den vom Programm für die Zuteilung des Signals selbst gewählten Speicherbanken BM übertragen. Jede dieser Banken empfängt über sein Modul MAC das "Unterbrechungs-Signal" an seinem Sender-Empfänger \overline{DR} (Fig.4), der sich auf diejenige Einheit UP bezieht, die die "Unterbrechungs"-Prozedur eingeleitet hat.

Das gleiche Signal wird über die Verbindung 42 (Fig.4) allen Sender-Empfängern \overline{DR} eingespeist und von dort zu allen Einheiten UP (Fig.1) gesendet. Auf diese Weise erreicht man durch die Unterbrechung ein Vorgehen des vollständigen Austauschs der Information zwischen den verschiedenen Verarbeitungseinheiten UP, indem die einzige bereits existierende Netzwerkverbindung mit dem gemeinsamen Speicher verwendet wird, ohne daß zusätzliche weitere Sammelleitungen außer den k.n Sammelleitungen C vorhanden sind.



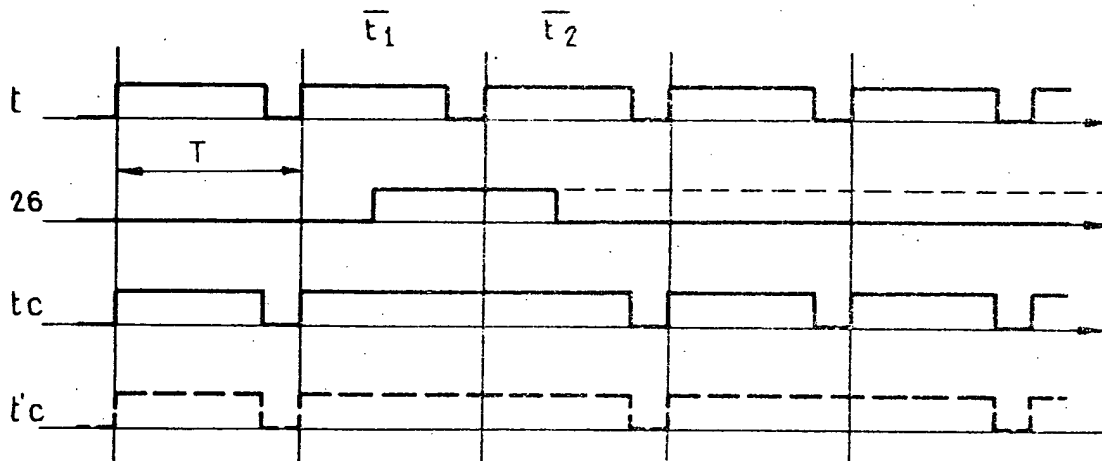


Fig. 2b

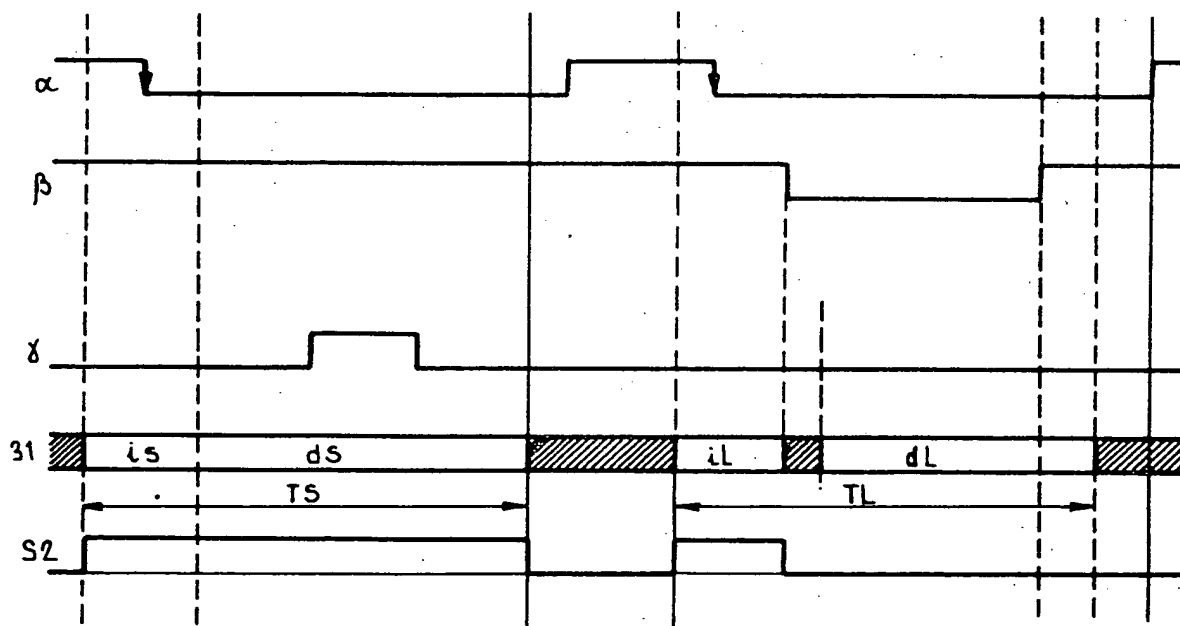


Fig. 2C

- 60 -

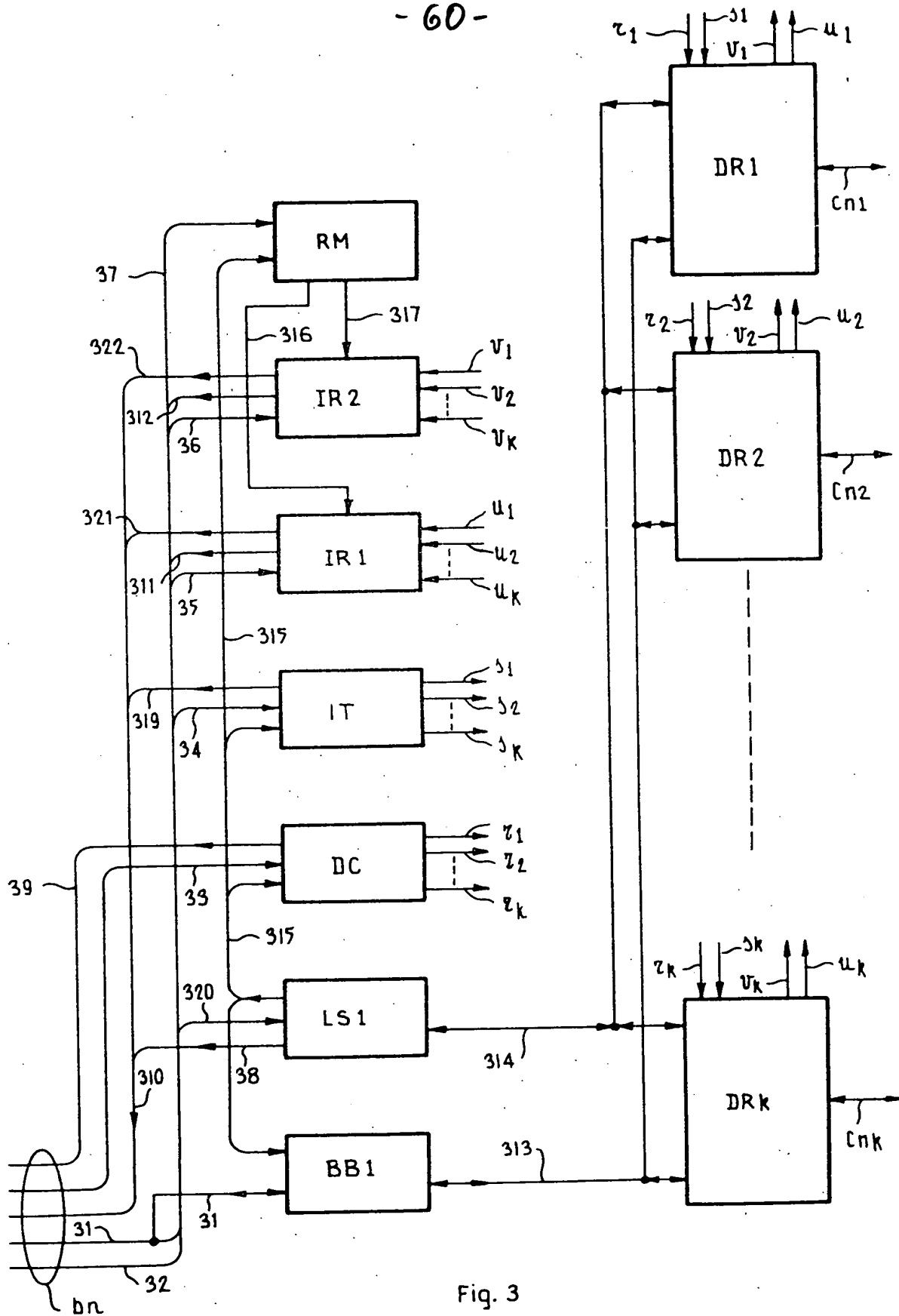


Fig. 3

909836/0833

C 94-j, DE
(CSELT)

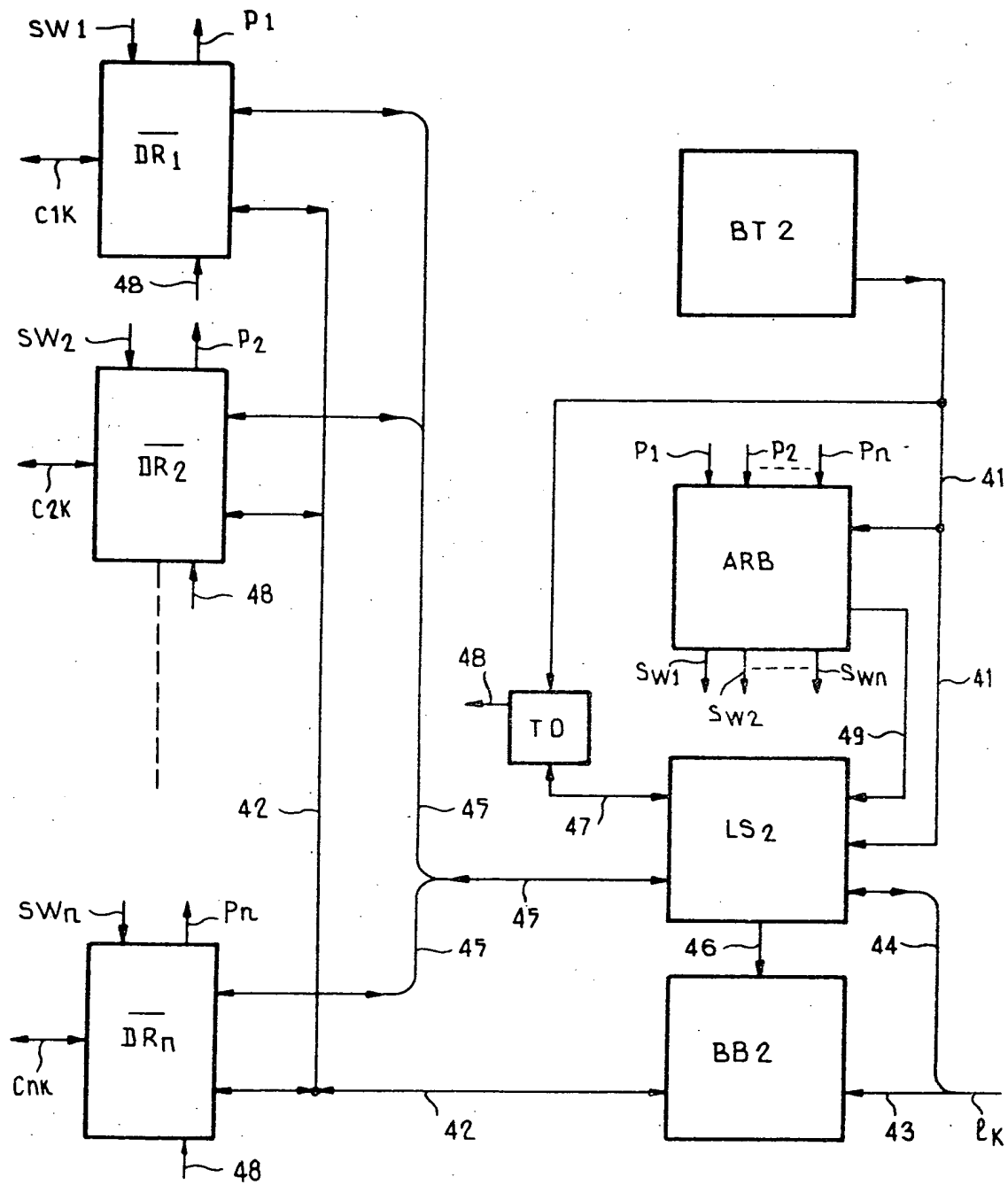


Fig. 4

c 94-j, DE
(CSELT)

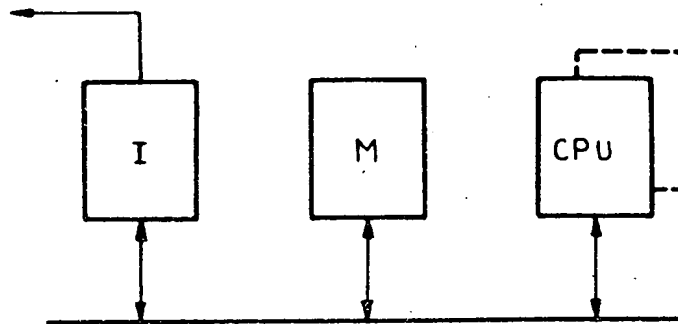


Fig. 5

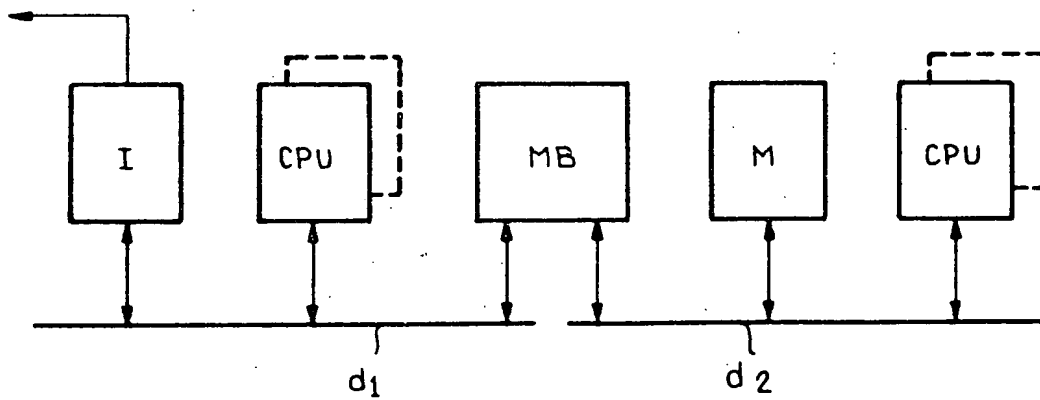


Fig. 6

c 94-j, DE
(CSELT)

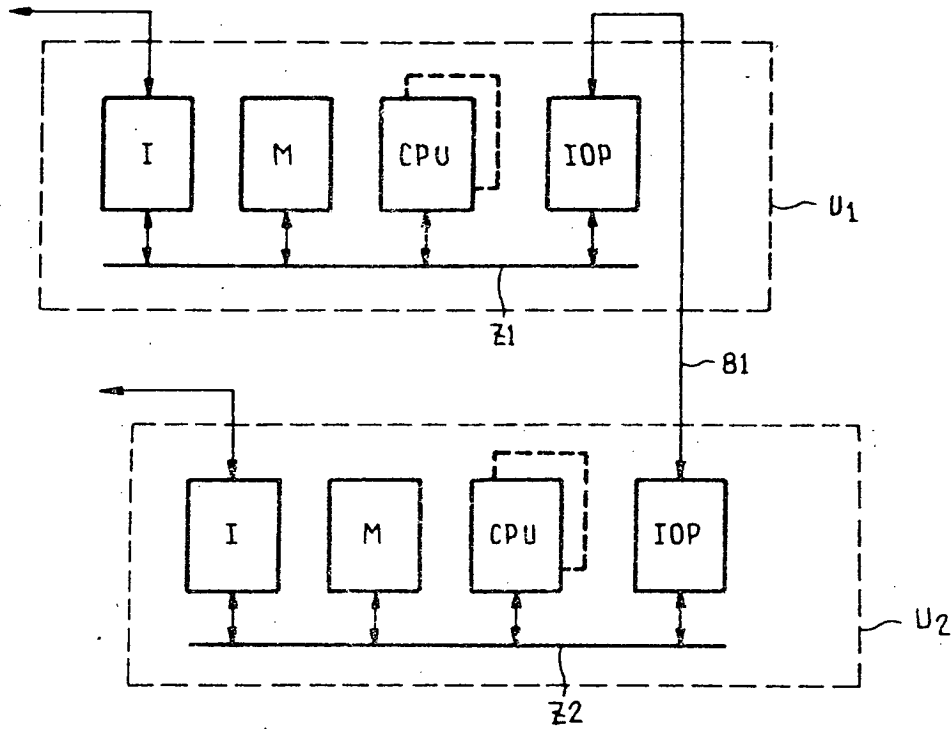


Fig. 7

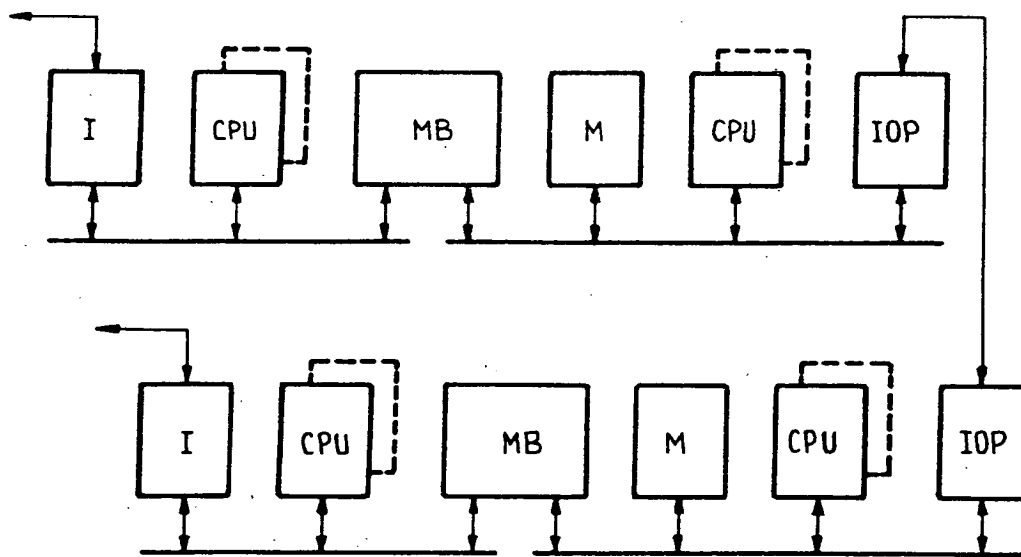
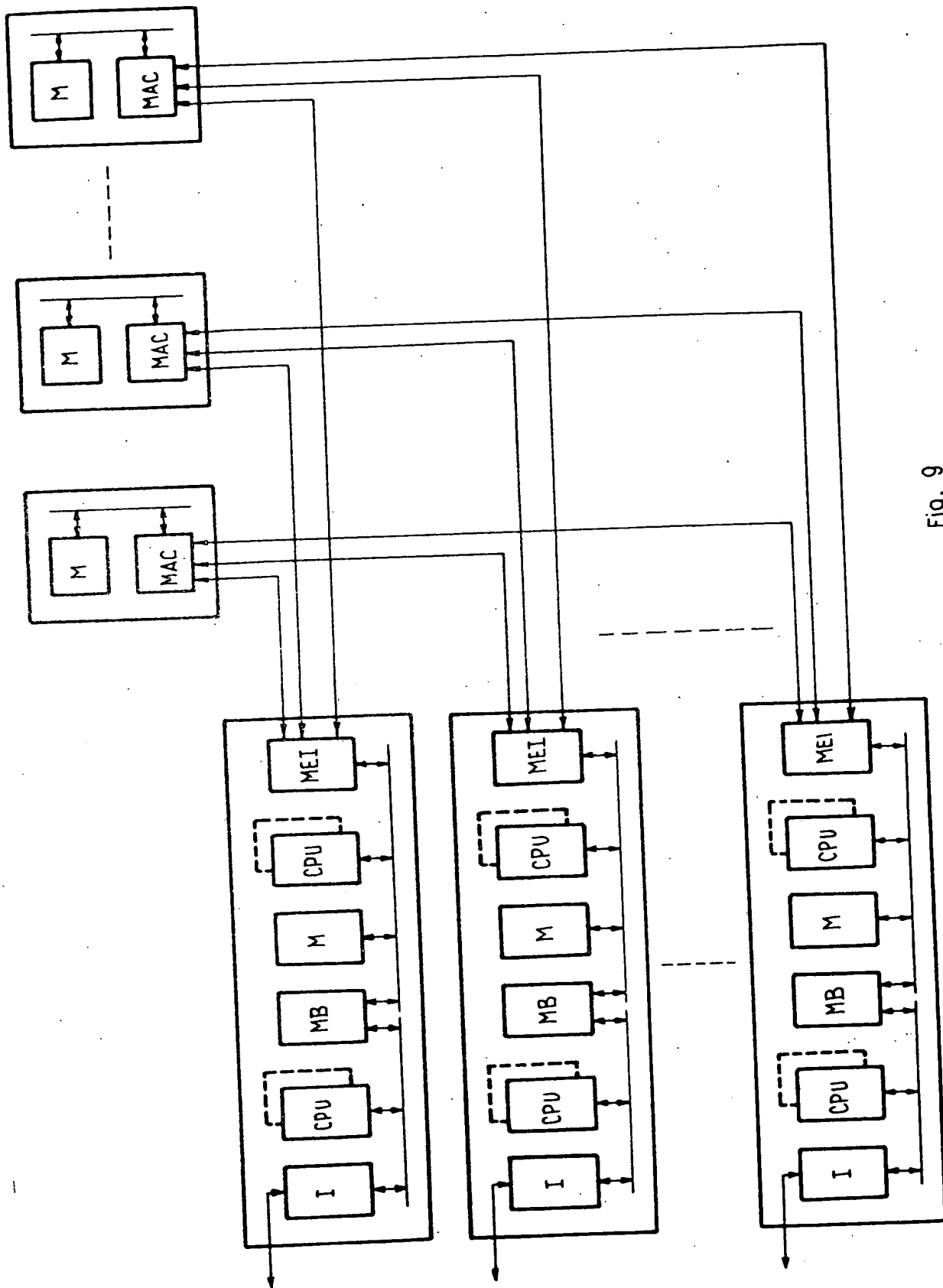


Fig. 8

Fig. 9



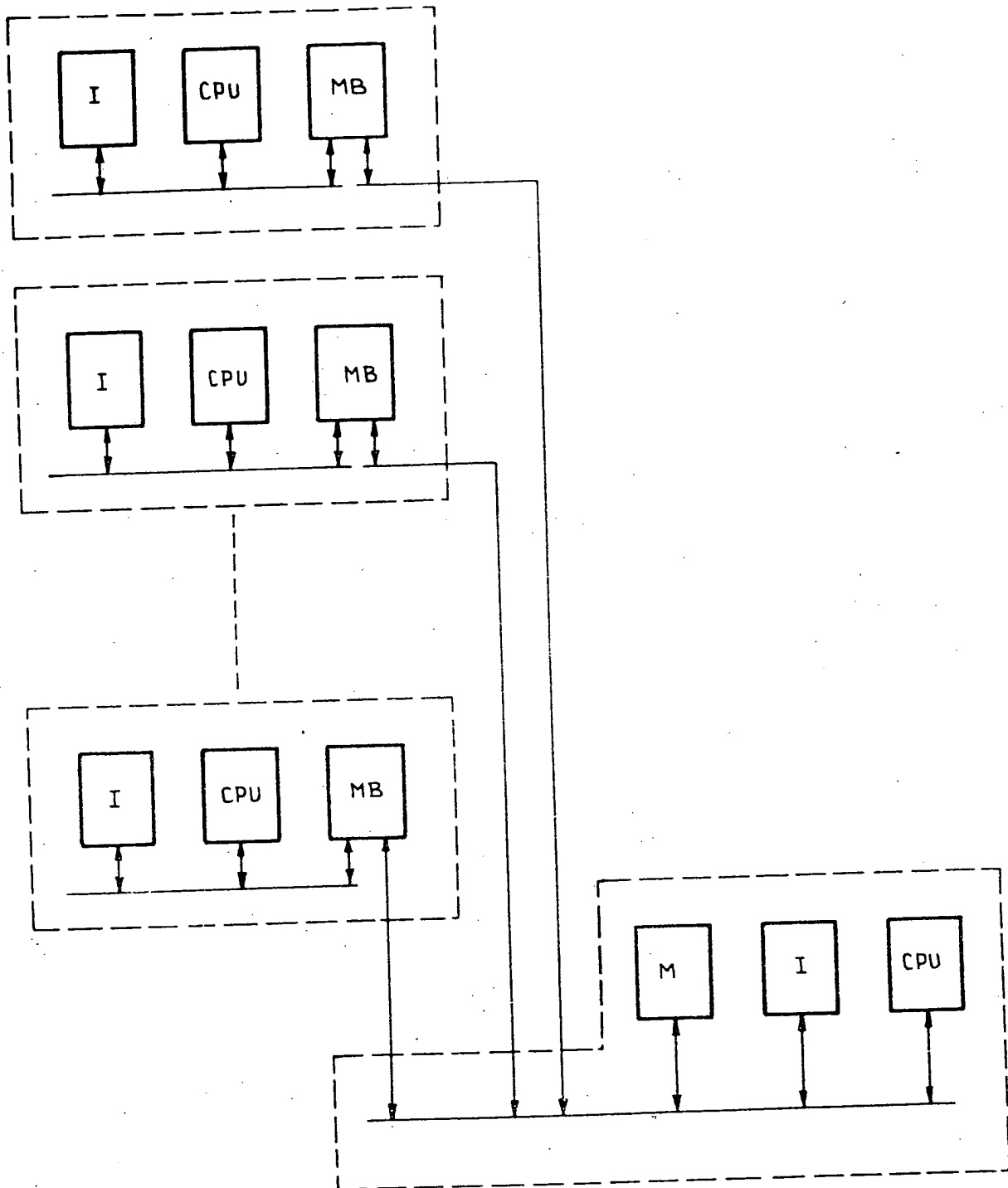


Fig. 10

C 94-j, DE
(CSELT)

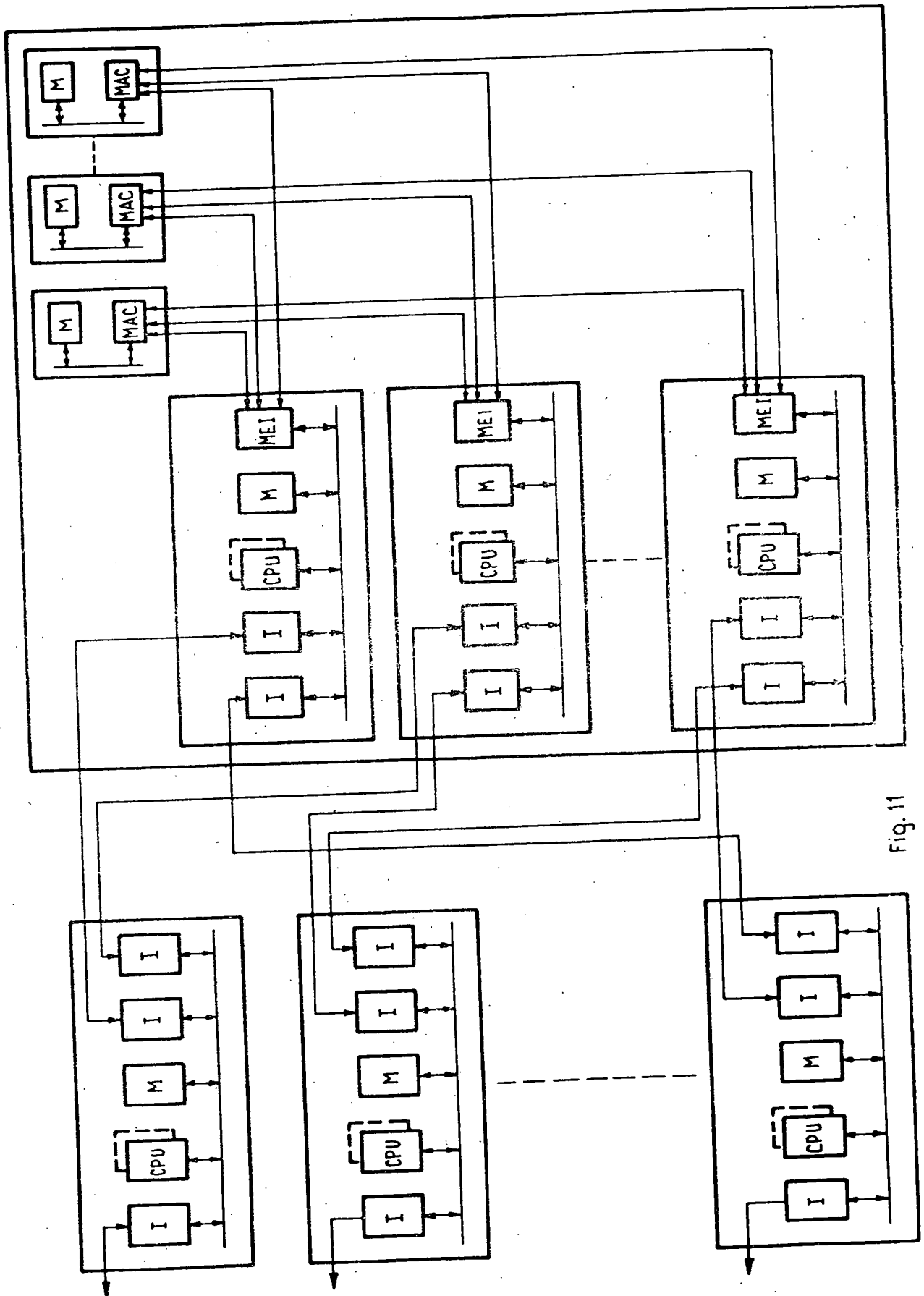


Fig. 11

2908316

- 67 -

Nummer:
Int. Cl.2:
Anmeldetag:
Offenlegungstag:

29 08 316
H 04 Q 3/42
3. März 1979
6. September 1979

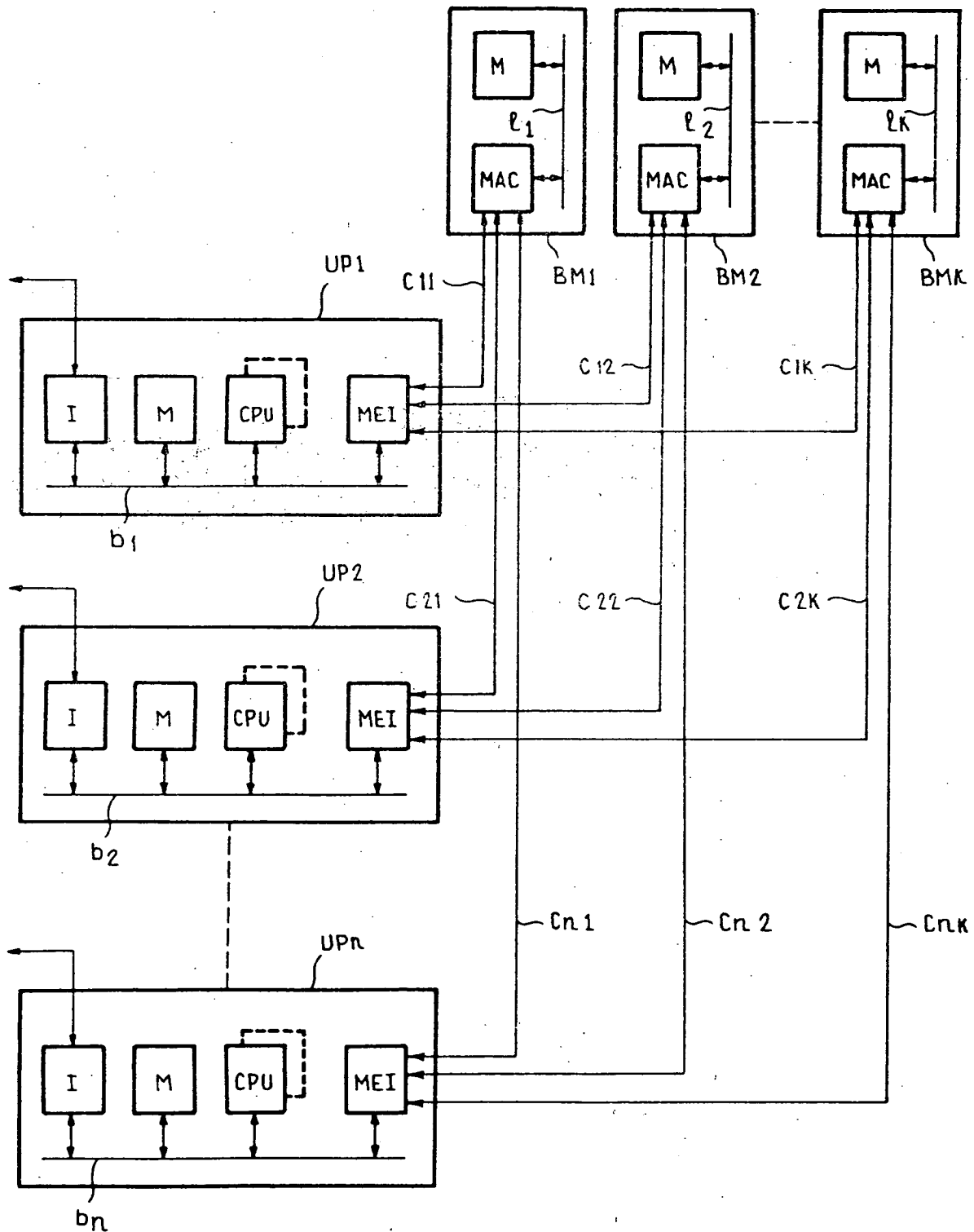


Fig. 1

909836/0833

C 94-j, DE
(CSELT)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)